

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-167703

(43)Date of publication of application : 25.06.1996

---

(51)Int.Cl. H01L 27/108  
H01L 21/8242  
G11C 11/401  
H01L 25/04  
H01L 25/18

---

(21)Application number : 07-263382 (71)Applicant : MATSUSHITA ELECTRIC IND  
CO LTD

(22)Date of filing : 11.10.1995 (72)Inventor : MORI TOSHIKI  
NAKAO ICHIRO  
FUJITA TSUTOMU  
SEGAWA REIJI

---

(30)Priority

Priority number : 06245312 Priority date : 11.10.1994 Priority country : JP

---

(54) SEMICONDUCTOR DEVICE MANUFACTURE THEREOF MEMORY CORE CHIP  
AND MEMORY PERIPHERAL CIRCUIT CHIP

(57)Abstract:

PURPOSE: To provide a low-cost semiconductor device which is operated at a low voltage with low power consumption.

CONSTITUTION: A semiconductor device comprises a plurality of circuit blocks having a first circuit block (DRAM core) and a second circuit block (DRAM peripheral circuit) having different block parameters such as design rules wherein the first circuit block is formed on a first semiconductor chip (DRAM core chip) 101 the second circuit block is formed on a second semiconductor chip 102 and electrically connected to the first circuit block. As a result the semiconductor chips can be manufactured at low cost.

---

CLAIMS

[Claim(s)]

[Claim 1] Are two or more circuit blocks containing the 1st circuit block and the 2nd circuit block from which a block parameter differs the semiconductor device which it had and this 1st circuit block A semiconductor device which it is formed on the 1st semiconductor chip and this 2nd circuit block is formed on the 2nd semiconductor chip and is moreover electrically connected to this 1st circuit block.

[Claim 2] Said block parameter An operation clock frequency a design rule a threshold ( $V_t$ ) of a transistor The semiconductor device according to claim 1 which is the parameter chosen from a group which consists of a difference of power supply voltage a digital circuit or analog circuitry a difference of a usual MOS circuit or a CMOS circuit a bipolar circuit or a by CMOS circuit a difference of ROM or RAM and a difference of logic or a memory.

[Claim 3] The semiconductor device according to claim 1 which said 1st circuit block is a memory cell block which has two or more memory cells and is a memory peripheral circuit block for said 2nd circuit block to access a memory cell as which this memory cell block was chosen.

[Claim 4] The semiconductor device according to claim 1 said whose 1st circuit block is a core based CPU and in which said 2nd circuit block is a peripheral circuit block.

[Claim 5] A process of dividing a circuit which may be accumulated on one semiconductor chip into the 1st circuit block and the 2nd circuit block from which a block parameter differs A manufacturing method of a semiconductor device which includes a process of electrically connecting a process of forming this 1st circuit block on the 1st semiconductor chip a process of forming this 2nd circuit block on the 2nd semiconductor chip and this 1st circuit block and this 2nd circuit block.

[Claim 6] Said block parameter An operation clock frequency a design rule a threshold ( $V_t$ ) of a transistor A difference of power supply voltage a digital circuit or analog circuitry a difference of a usual MOS circuit or a CMOS circuit a bipolar circuit or a by CMOS circuit A manufacturing method of the semiconductor device according to claim 5 which is the parameter chosen from a group which consists of a difference of ROM or RAM and a difference of logic or a memory.

[Claim 7] A manufacturing method of the semiconductor device according to claim 5 which said 1st circuit block is a memory cell block which has two or more memory cells and is a memory peripheral circuit block for said 2nd circuit block to access a memory cell as which this memory cell block was chosen.

[Claim 8] A manufacturing method of the semiconductor device according to claim 5 said whose 1st circuit block is a core based CPU and in which said 2nd circuit block is a peripheral circuit block.

[Claim 9] A circuit which may be accumulated on one semiconductor chip is the semiconductor device divided into the 1st circuit block and the 2nd circuit block from which a block parameter differs A semiconductor device to which this 1st circuit block

is formed on the 1st semiconductor chip this 2nd circuit block is formed on the 2nd semiconductor chip and this 1st circuit block and this 2nd circuit block are electrically connected.

[Claim 10] Said block parameter An operation clock frequency a design rule a threshold ( $V_t$ ) of a transistor A semiconductor device given in \*\*\*\*\* 9 which is the parameter chosen from a group which consists of a difference of power supply voltage a digital circuit or analog circuitry a difference of a usual MOS circuit or a CMOS circuit a bipolar circuit or a by CMOS circuit a difference of ROM or RAM and a difference of logic or a memory.

[Claim 11] Are a semiconductor device characterized by comprising the following and at least one circuit block among circuit blocks of this plurality of this 1st circuit part With a circuit block of this 2nd circuit part it is formed on the 1st semiconductor chip and the remaining circuit blocks of this 1st circuit part It is formed on the 2nd different semiconductor chip from this 1st semiconductor chip and -- this -- it electrically being connected to a circuit block formed on the 2nd semiconductor chip and A block parameter about a circuit block of this 1st circuit part formed on this 1st semiconductor chip A semiconductor device near [ parameter / about other circuit blocks of this 1st circuit part formed on this 2nd semiconductor chip / block ] a block parameter about a circuit block of this 2nd circuit part.

The 1st circuit part that has two or more circuit blocks for achieving the 1st function at least.

The 2nd circuit part that has a circuit block for achieving the 2nd different function from this 1st function.

[Claim 12] As two or more circuit blocks which achieve said 1st function said 1st circuit part has a memory cell block and a memory peripheral circuit block at least and said 2nd circuit part The semiconductor device according to claim 11 with which has a digital disposal circuit this digital disposal circuit and this memory peripheral circuit block are formed on said 1st semiconductor chip as a circuit block which achieves said 2nd function and this memory cell block is formed on said 2nd semiconductor chip.

[Claim 13] Said block parameter An operation clock frequency a design rule a threshold ( $V_t$ ) of a transistor The semiconductor device according to claim 11 which is the parameter chosen from a group which consists of a difference of power supply voltage a digital circuit or analog circuitry a difference of a usual MOS circuit or a CMOS circuit a bipolar circuit or a by CMOS circuit a difference of ROM or RAM and a difference of logic or a memory.

[Claim 14] A memory peripheral circuit part chip comprising:

An input/output terminal for transmitting and receiving a signal to other semiconductor memory core chips containing a memory cell array.

A memory peripheral circuit which specifies a memory cell of these memory cell arrays in this semiconductor memory core chip and performs data read or writing to

this memory cell with an address given.

[Claim 15] Have an input/output terminal for transmitting and receiving a signal to other semiconductor chips including a memory peripheral circuit and a memory cell array and with an address given. A memory core chip which a memory cell is specified from this memory peripheral circuit of this semiconductor chip and performs data read or writing to this memory cell.

[Claim 16] A semiconductor memory device comprising:

At least one memory core section chip formed using the 1st semiconductor manufacturing process.

A means to connect a memory peripheral circuit part chip formed using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process and this memory core section chip and this memory peripheral circuit part chip.

[Claim 17] Said memory core section chip data including a memory cell for memorizing said memory peripheral circuit part chip. The semiconductor memory device according to claim 16 which specifies this memory cell in this memory core section chip with an address given and performs data read or writing to this memory cell.

[Claim 18] Two or more memory core section chips formed using the 1st semiconductor manufacturing process. A memory peripheral circuit part chip formed using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process. A semiconductor memory device which is provided with a means to connect a memory core section chip of this plurality and this memory peripheral circuit part chip and with which said memory core section chip shares at least some circuits in this memory peripheral circuit chip.

[Claim 19] A semiconductor device comprising:

At least one memory core section chip containing a memory cell for memorizing data formed using the 1st semiconductor manufacturing process.

A signal processing chip which carries a digital disposal circuit which processes using data memorized by a memory peripheral circuit part and a memory core section chip which are formed using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process. A means to connect this memory core section chip and this signal processing chip.

[Claim 20] The semiconductor device according to claim 19 which said memory peripheral circuit part specifies said memory cell in said memory core section chip with an address given and performs data read or writing to this memory cell.

[Claim 21] The semiconductor device according to claim 19 which said memory core section chip has and shares at least some circuits in a memory peripheral circuit chip.

[ two or more ]

[Claim 22] A semiconductor device in which a memory chip and a signal processing chip were mounted by a multichip mounting means comprising:

A memory cell array part provided with two or more memory cells in which this memory chip stores data.

An accessing means which specifies this memory cell in this memory cell array with an address given and outputs and inputs data.

A means to have a data terminal for outputting and inputting two or more data in parallel and for this signal processing chip to be provided with a data terminal which outputs and inputs two or more data in parallel and to transmit two or more data in parallel between this memory chip and this signal processing chip.

[Claim 23] The semiconductor device according to claim 22 which said memory chip is realized using the 1st semiconductor manufacturing process and is realized using the 2nd semiconductor manufacturing process in which said signal processing chip differs from this 1st semiconductor manufacturing process.

[Claim 24] The semiconductor device according to claim 22 provided with a digital disposal circuit of further plurality [ signal processing chip / said ].

[Claim 25] A semiconductor device in which a memory core section chip and a signal processing chip were mounted by a multichip mounting means comprising:

A memory cell array which this memory core section chip equipped with two or more memory cells which store data.

Have a data terminal which outputs and inputs two or more data in parallel and this signal processing chip. This memory cell in this memory core section chip is specified with an address given. A means to have performed data read or writing to this memory cell to have a data terminal and two or more digital disposal circuits which output and input two or more data in parallel and to transmit two or more data in parallel between this memory core section chip and this signal processing chip.

[Claim 26] The semiconductor device according to claim 25 formed using the 2nd semiconductor manufacturing process in which said memory core section chip is realized using the 1st semiconductor manufacturing process and said signal processing chip differs from this 1st semiconductor manufacturing process.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to semiconductor devices such as a semiconductor memory device and a manufacturing method for the same.

It is related with the semiconductor device which fitted the multi chip module (it is

hereafter described as MCM) especially.

[0002]

[Description of the Prior Art]The dynamic random access memory (DRAM) which is one of the semiconductor memory is provided with the memory cell array by which the memory cell has been arranged at array form as a storage parts store. The chip is realized by circuitry as shown to drawing 1 that DRAM can lessen the pin count of a package as much as possible. In drawing 1a memory cell DRAM95 focusing on the memory cell array 1 arranged at array form as the circuit block 50 arranged with the memory cell and identical pitch in the memory cell array 1the column selector 3 which chooses the bit data of arbitrary positions out of the signal amplified by the sense amplifier 4 for amplifying the signal of the row decoder 5 for choosing a word line and the word line driver 6and bit linesand the sense amplifier 4and is outputted to a data line -- andIt has the column decoder 2 which generates the selection signal given to the column selector 3and the circuit block 50 which doubled the circuit arranged with the memory cell and identical pitch in the memory cell array 1 and the memory cell array 1 is expressed as a memory core section in subsequent explanation. As a circuit arranged without being dependent on the memory cell pitch in the memory cell array 1A row address from the address signal input terminal A(10:0) 32. The row address buffer 10 to receive and a column address. In order to change into the signal given to the row decoder 5 and the column decoder 2 from the output signal of the column address buffer 9 to receivethe row address counter 11 which generates a refresh addressthe row address buffer 10and the column address buffer 9The address signal inputted. The data writing to the low pulley decoder 8 decoded beforehand and the column PURIDE coda 7the data input buffer 12 which outputs and inputs the data of data input/output terminal DQ(7:0)36 and the data output buffer 13and a memory cell. On a basis RAS and the CAS signal which are inputted from the read amplifier 15the RAS signal input terminal 30and the CAS signal input terminal 31 for performing the light amplifier 14 for carrying outand data read from a memory cell the timing signal inside DRAM. The RAS system / CAS system clock generation circuit 16 to generateWE system clock generation circuit 17 which generates the timing signal of writing based on WE signal inputted from the WE signal input terminal 35and OE system clock generation circuit 18 which generates the timing signal of data output based on OE signal inputted from the OE signal input terminal 37 -- andAs a circuit which generates voltage required for the inside of DRAMIt has the pressure-up potential generating circuit 19 which is needed for carrying out pressure up of the word line potentialthe board electric potential generating circuit 20 which generates the potential given to a substrateand the 1 / 2VCC generation circuit 21 which is needed as potential given to bit line precharge and a cell plate. In subsequent explanationthe circuit arranged without depending is doubled and it is expressed as the memory cell pitch in this MORISERU array 1 with a memory peripheral circuit part.

[0003] By having a circuit shown in drawing 1 on 1 chip DRAM becomes only an address/data several control signal pins and a power pin as an external pin in the case of mounting in a package and can be mounted with a small package. When 16 M DRAMs of 8 bit-data I/O are taken for an example as an address pin Eleven pins Two pins are used as four pins and a power pin as eight pins and a control signal pin as a data input/output pin and as a required pin count it is 25 pins and can mount in the package of 28 pins.

[0004] The example of a chip layout of DRAM of the circuitry shown by drawing 1 is shown in drawing 2. In drawing 2 the case of 16 M bit DRAM is shown the memory cell array 1 is quadrisectioned by the 4M bit plate and each 4M bit plate is divided into 16 at the pan at the 256K-bit memory cell block 96. Each 256K-bit memory cell block 96 is provided with the memory cell of 256 low x 1024 column and as for the sense amplifier 4 and the column selector 3 the number of columns and the 1024 same numbers of the memory cell are arranged at each memory cell block. The row decoder 6 and the word driver 5 are arranged for every memory cell block.

The column decoder 2 is arranged for every plate and the memory peripheral circuit part is arranged at 94 between the column decoders 2 of right and left [ center section / chip ] and a chip periphery.

Although the selection signal to the column selector 3 which is an output of the column decoder 2 is a common signal to a plate on either side here the column decoder 2 is arranged at the plate on either side respectively because a selection signal line cannot cross the memory peripheral circuit part 94 of a center section. The pad for making connection with an external pin is arranged in the pad formation part 40 in the chip center section 94 and has connected this pad and the external pin of a package with the wire bond.

[0005] Here each signal terminals 30-32 in the case where it mounts in a package and the terminal capacity of 35-37 Most the data input/output terminal 36 used as an input/output terminal is large and The gate capacitance of an input transistor It becomes the sum total of the wiring capacity from a terminal to an input transistor the capacity of the surge protection device for input transistor the diffusion capacitance of a signal output transistor the capacity of the surge protection device for output transistors and the lead of a package and wire bond capacity and about 5 pF exists. Generally two or more memories are used for a system and each terminal of two or more memories is connected in common by bus wiring. For this reason in DRAM are performing characterization as that by which the load carrying capacity of 50 pF is connected to each pin and as bit width of data I/O Under the present circumstances in consideration of increase of the power consumption not only by restriction of a package pin count but load-carrying-capacity drive and a noise etc. an about 8-16-bit thing is realized.

[0006] The example of a realization means of the system which used DRAM is shown in drawing 3. 70 is a printed-circuit board and signal-processing LSI 71 such as

DRAM72CPUetc. which were packed on this printed-circuit board 70is carried out with solder. It is connected by the printed wiring 73 between DRAM72 and signal-processing LSI71. Although the system configuration example using one DRAM was shown in drawing 3there are also many systems using DRAM two or more.

[0007]

[Problem(s) to be Solved by the Invention]In order to realize mass memory cell capacitors and a memory cell transistor with little leakage current with a small areaDRAM uses a complicated semiconductor manufacturing process with many routing countersand is manufacturedCompared with the logic LSI process of realizing logic LSI in the same design rule in the DRAM process using a 0.5-micrometer design ruleit is about 1.5 times the manufacturing cost of this.

[0008]In the DRAM circuitry shown in drawing 1the portion which needs a DRAM process is only the memory cell array 1and portions other than memory cell array 1 on a chip can be manufactured in the logic LSI process of realizing logic LSI. Howeveras shown in drawing 2all the portions of the circuitry shown in drawing 1 are manufactured in the DRAM processand DRAM is made expensive.

[0009]Also in semiconductor memory other than DRAMthis is the same and SRAMEEPROMthe flash memoryetc. have realized on 1 chip what includes peripheral circuit parts other than a memory cell array in an expensive process compared with a logic LSI processand make semiconductor memory expensive.

[0010]In the system for which only the thing up to 8-16 bits is realizedbut the bit width of data I/O of a memory needs the data transfer of multi-bit width as mentioned aboveMulti-bit width data I/O was realized using many memories of small capacityand it had become a large area and an expensive system.

[0011]Although two or more bare chips containing a memory are mounted in the same substrate with a miniaturization and improvement in the speed of a system and development of the MCM art aiming at connecting between chips with the shortest wiring prospersSince the expensive memory manufactured with the composition of conventional drawing 2 also in the memory chip used for this MCM is used as it is and the data I/O bit width in memory 1 chip is restrictedin order to realize data I/O of multi-bit widthmany memories of small capacity needed to be used.

[0012]For improvement in the speed of the stored data holding property of a memory cellor access timein DRAMthe semiconductor substrate is set as negative potentialand this negative potential is generated by the board electric potential generating circuit 20 accumulated by the DRAM chip. On the other handsince it becomes the composition that a semiconductor substrate is groundedcompared with logic LSIthe impedance of the semiconductor substrate of DRAM will become highandas for logic LSIlatchup and surge tolerance will usually become low. For this reasonwhile needing the input surge protection of a large areain DRAM using minuteness making process technology3-fold well-structure process of making the substrate of only a memory cell region into negative potential etc. are neededand



be a peripheral circuit block.

[0023] A circuit which may be accumulated on one semiconductor chip other semiconductor devices of this invention. It is the semiconductor device divided into the 1st circuit block and the 2nd circuit block from which a block parameter differs. This 1st circuit block is formed on the 1st semiconductor chip, this 2nd circuit block is formed on the 2nd semiconductor chip, this 1st circuit block and this 2nd circuit block are electrically connected, and the above-mentioned purpose is attained by that.

[0024] Said block parameter: An operation clock frequency, a design rule, a threshold ( $V_t$ ) of a transistor. It is the parameter chosen from a group which consists of a difference of power supply voltage, a digital circuit or analog circuitry, a difference of a usual MOS circuit or a CMOS circuit, a bipolar circuit or a CMOS circuit, a difference of ROM or RAM, and a difference of logic or a memory.

[0025] The 1st circuit part that has two or more circuit blocks for a semiconductor device of further others of this invention to achieve the 1st function at least. This 1st function is the semiconductor device provided with the 2nd circuit part that has a circuit block for achieving the 2nd different function. At least one circuit block among circuit blocks of this plurality of this 1st circuit part. With a circuit block of this 2nd circuit part, it is formed on the 1st semiconductor chip, and the remaining circuit blocks of this 1st circuit part. It is formed on the 2nd different semiconductor chip from this 1st semiconductor chip, and -- this -- it electrically being connected to a circuit block formed on the 2nd semiconductor chip. A block parameter about a circuit block of this 1st circuit part formed on this 1st semiconductor chip. Rather than a block parameter about other circuit blocks of this 1st circuit part formed on this 2nd semiconductor chip, it is close to a block parameter about a circuit block of this 2nd circuit part, and the above-mentioned purpose is attained by that.

[0026] As two or more circuit blocks which achieve said 1st functions, said 1st circuit part has a memory cell block and a memory peripheral circuit block at least, and said 2nd circuit part. As a circuit block which achieves said 2nd function, it has a digital disposal circuit, this digital disposal circuit and this memory peripheral circuit block may be formed on said 1st semiconductor chip, and this memory cell block may be formed on said 2nd semiconductor chip.

[0027] Said block parameter: An operation clock frequency, a design rule, a threshold ( $V_t$ ) of a transistor. It is the parameter chosen from a group which consists of a difference of power supply voltage, a digital circuit or analog circuitry, a difference of a usual MOS circuit or a CMOS circuit, a bipolar circuit or a CMOS circuit, a difference of ROM or RAM, and a difference of logic or a memory.

[0028] A memory peripheral circuit part chip of this invention with an input/output terminal for transmitting and receiving a signal to other semiconductor memory core chips containing a memory cell array, and an address given. A memory cell of these memory cell arrays in this semiconductor memory core chip is specified, it has a memory peripheral circuit which performs data read or writing to this memory cell, and

the above-mentioned purpose is attained by that.

[0029]A memory core chip of this invention is provided with an input/output terminal for transmitting and receiving a signal to other semiconductor chips including a memory peripheral circuit and a memory cell array and them with an address given. A memory cell is specified from this memory peripheral circuit of this semiconductor chip data read or writing to this memory cell is performed and the above-mentioned purpose is attained by that.

[0030]At least one memory core section chip with which a semiconductor memory device of this invention is formed using the 1st semiconductor manufacturing process. It has a means to connect a memory peripheral circuit part chip formed using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process and this memory core section chip and this memory peripheral circuit part chip and the above-mentioned purpose is attained by that.

[0031]Including a memory cell for said memory core section chip to memorize data said memory peripheral circuit part chip may specify this memory cell in this memory core section chip with an address given and may perform data read or writing to this memory cell.

[0032]Two or more memory core section chips with which other semiconductor memory devices of this invention are formed using the 1st semiconductor manufacturing process. A memory peripheral circuit part chip formed using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process. It has a means to connect a memory core section chip of this plurality and this memory peripheral circuit part chip and said memory core section chip shares at least some circuits in this memory peripheral circuit chip and the above-mentioned purpose is attained by that.

[0033]At least one memory core section chip containing a memory cell for a semiconductor device of further others of this invention to memorize data formed using the 1st semiconductor manufacturing process. A signal processing chip which carries a digital disposal circuit which processes using data memorized by a memory peripheral circuit part and a memory core section chip which are formed using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process. It has a means to connect this memory core section chip and this signal processing chip and the above-mentioned purpose is attained by that.

[0034]With an address given said memory peripheral circuit part may specify said memory cell in said memory core section chip and may perform data read or writing to this memory cell.

[0035]Said memory core section chip has more than one and shares at least some circuits in a memory peripheral circuit chip.

[0036]A semiconductor device of further others of this invention is a semiconductor device mounted by a multichip mounting means and a memory chip and a signal processing chip this memory chip. A memory cell array part provided with two or more

memory cells which store data. An accessing means which specifies this memory cell in this memory cell array with an address given and outputs and inputs data. It has a data terminal for outputting and inputting two or more data in parallel and this signal processing chip is provided with a data terminal which outputs and inputs two or more data in parallel. It has a means to transmit two or more data in parallel between this memory chip and this signal processing chip and the above-mentioned purpose is attained by that.

[0037] Said memory chip is realized using the 1st semiconductor manufacturing process and said signal processing chip may be realized using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process.

[0038] Said signal processing chip may be provided with further two or more digital disposal circuits.

[0039] A semiconductor device of further others of this invention is a semiconductor device mounted by a multichip mounting means and a memory core section chip and a signal processing chip. This memory core section chip has a memory cell array provided with two or more memory cells which store data and a data terminal which outputs and inputs two or more data in parallel and this signal processing chip. This memory cell in this memory core section chip is specified with an address given. Performed data read or writing to this memory cell and it has a data terminal and two or more digital disposal circuits which output and input two or more data in parallel. It has a means to transmit two or more data in parallel between this memory core section chip and this signal processing chip and the above-mentioned purpose is attained by that.

[0040] Said memory core section chip is realized using the 1st semiconductor manufacturing process and said signal processing chip may be formed using the 2nd different semiconductor manufacturing process from this 1st semiconductor manufacturing process.

[0041]

[Embodiment of the Invention] The semiconductor device of this invention is provided with two or more circuit blocks containing the 1st circuit block and the 2nd circuit block from which a block parameter differs. The 1st circuit block is formed on the 1st semiconductor chip and the 2nd circuit block is formed on the 2nd semiconductor chip. Here, block parameters are a difference of an operation clock frequency, a design rule, the threshold ( $V_t$ ) of a transistor, power supply voltage, a digital circuit or analog circuitry and the difference of a usual MOS circuit or CMOS circuit, a bipolar circuit, a CMOS circuit, etc. As a block parameter, a difference of the logic characteristic, such as a difference of ROM or RAM and a difference of logic or a memory, is also included in others.

[0042] A large-scale system is formed on one semiconductor chip in recent years. The characteristic, such as working speed, are raised by it and the view of the system-on-

chip which is going to reduce a manufacturing cost is becoming in use. In such a system-on-chip type semiconductor device two or more circuit blocks are accumulated on one semiconductor chip and the design is performed so that the circuit block of these plurality may be arranged with the optimal layout. Although two or more circuit blocks accumulated may differ in a block parameter mutually they have been believed that being accumulated on one semiconductor chip is most preferred. When the invention-in-this-application person classified two or more circuit blocks based on various parameters and it dared to have distributed them on a different semiconductor chip regardless of the common sense he found out that effects such as reduction of a manufacturing cost were acquired on the contrary.

[0043] It is whether to form an important point on each semiconductor chip when distributing two or more circuit blocks by classifying each circuit block according to what kind of standard. The point is explained below referring to drawing 4 (a) - (c).

[0044] Drawing 4 (a) shows two or more circuit blocks classified functionally [usual] and drawing 4 (b) shows typically the layout of the semiconductor device which accumulated these circuit blocks on one semiconductor chip. Drawing 4 (c) classifies a circuit block into two groups based on the block parameter whether they are digital one or an analog and shows typically the layout of the semiconductor device which rearranged each on two different semiconductor chips.

[0045] The image processing system used for a home video game machine etc. comprises a CPU image processing LSI and an NTSC encoder as shown in drawing 4 (a). The NTSC encoder contains the logic circuit (LOGIC) unit and the D/A converter (DAC) part and as a whole these operate so that the function of an NTSC encoder may be exhibited. The LOGIC section controls the output level of the DAC section based on a RGB digital signal. The DAC section contains the decoder portion (DAC-DEC) which decodes a digital signal and the current cell array portion (DAC-ARRAY) which outputs an analog signal according to the signal from a decoder portion. A decoder portion (DAC-DEC) is constituted by the digital circuit and the current cell array portion (DAC-ARRAY) is constituted by analog circuitry. As a result the NTSC encoder can generate an NTSC composite signal from a RGB digital signal. CPU image processing LSI and an NTSC encoder are respectively formed on a separate semiconductor chip. Each semiconductor chip is arranged on the circuit board and is electrically connected by the wiring on the circuit board. Since it is thought that carrying out interconnection with the wiring on the circuit board checks high-speed operation the system of drawing 4 (a) is being accumulated by development of large-scale LSI production technology and fullness of the design support tool using CAD on one semiconductor chip as shown in drawing 4 (b).

[0046] According to the invention in this application based on the block parameter whether they are digital one or an analog the circuit block of the above-mentioned system is classified and is distributed on a different semiconductor chip. The circuit part which performs digital operation in the LOGIC section in an NTSC encoder and

the DAC section is specifically separated from the circuit part which performs analog operation in the DAC section and it is accumulated on one semiconductor chip (for digital circuits) with a CPU block and CG block. On the other hand the analog circuit section of the DAC section of an NTSC encoder is formed on other semiconductor chips (for analog circuitry). The following effects are acquired by doing in this way. That is the analog circuit section of the DAC section of an NTSC encoder is sensitive to a noise and tends to receive the adverse effect by a noise. For this reason if the DAC section is formed on the same semiconductor chip as the LOGIC section currently formed of the digital circuit there is a possibility that the noise resulting from operation of a digital circuit may reach the DAC section via a semiconductor chip. If a circuit block required in order to attain the function which an NTSC encoder has is formed on two semiconductor chips as mentioned above the problem by such a noise is solvable. According to a semiconductor manufacturing process it differs and each design rule also differs from the process of forming analog circuitry and the process of forming a digital circuit. For this reason if it divides into the semiconductor chip for digital circuits and the semiconductor chip for analog circuitry and a manufacturing process is performed it is the optimal design rule about each semiconductor chip and can produce in the manufacture procedure which moreover omitted the unnecessary process. Usually since the cost per process is relatively expensive if the severe process of a design rule finds a producible circuit block according to a loose design rule and separates the circuit block on other semiconductor chips a manufacturing cost can be reduced as a whole.

[0047] Thus after separating into two or more semiconductor chips and forming a circuit block MCM is formed from the semiconductor chip of these plurality. MCM arranges two LSI chips for example as shown in drawing 5 (a) – (c) and it is produced by carrying out interconnection by a solder bump. The point that the semiconductor device of this invention differs from the conventional MCM The semiconductor device of this invention does not form one module combining two or more existing semiconductor chips simply After building one system which has two or more circuit blocks a specific block parameter is at the point which uses for a module the semiconductor chip separated for every group common to mutual or near group of a block parameter.

[0048] According to other embodiments the memory cell block which has two or more memory cells and the memory peripheral circuit block for accessing the selected memory cell in a memory cell block are formed on a different semiconductor chip. By the memory cell block and a memory peripheral circuit block design rules (lower limit) differ and the sequences of a manufacturing process also differ. However it was believed that these blocks should have been accumulated on one semiconductor chip in order to exhibit the function as a DRAM. According to this invention a memory cell block and a peripheral circuit block are classified on the basis of a block parameter called a design rule and are formed on a different semiconductor chip. About this

invention an example is described in detail later.

[0049] According to other desirable embodiments a core based CPU and a peripheral circuit block are formed on a separate semiconductor chip. Here a core based CPU decodes a command at least has a control section which performs a control action and the operation part which performs arithmetic logic operation and is a circuit which controls peripheral equipment.

[0050] It roughly divides into the method of distribution a block of these plurality and there are two in it. In the case where two or more circuit block A to C for attaining one function is formed on the one semiconductor chip 700 as the 1st is shown in drawing 6 (a) As a block parameter finds out other circuit blocks and a different circuit block and shows drawing 6 (b) the blocks A and B are formed on the semiconductor chip 710 and the block C is formed on the semiconductor chip 720. The two semiconductor chips 710 and 720 are connected mutually.

[0051] As the 2nd is shown in drawing 7 (a) two or more circuit block A-C for attaining the 1st function is formed on the 1st semiconductor chip 800 And in the case where two or more circuit blocks D and E for attaining the 2nd function are formed on the 2nd semiconductor chip 810 As shown in drawing 7 (b) a block parameter finds out different circuit block C from other circuit blocks A and B and forms on other semiconductor chips 830. The remaining circuit blocks A and B are formed on the semiconductor chip 820. The two semiconductor chips 820 and 830 are connected mutually.

[0052] Below the manufacturing method of the semiconductor device by this invention is explained referring to drawing 8.

[0053] First at the process S1 shown in drawing 8a a netlist is determined using CAD and a block parameter is read. Then hierarchy deployment is performed about a circuit block. Next the group division of the circuit block is carried out on the basis of a specific block parameter at the process S2. Then a group hierarchy is added to a netlist at the process S3. By this assignment is completed on the semiconductor chip of the plurality of a circuit block.

[0054] The publicly known process for manufacturing each semiconductor chip after this will be performed. It is process S4 and the layout of the circuit formed on each semiconductor chip is determined and specifically a layout is verified at the process S5. Mask data are produced at the process S6 and a mask is produced at the process S7. A circuit is formed in each semiconductor chip by the process S8 and S9 using those masks. The process S8 and S9 include two or more sub processes such as thin film deposition and a photolithography respectively.

[0055] In this way preferably by MCM art it is connected mutually and at least two formed semiconductor chips form one semiconductor device.

[0056] Next if a circuit block is divided based on what kind of block parameter it will explain using the following table what kind of advantage is acquired. Table 5 has written the circuit name formed on the 2nd semiconductor chip at the B column in

the circuit name formed on the 1st semiconductor chip at the A column in the block parameter chosen as a standard of circuit block division in the C column from Table 1.

[0057]

[Table 1]

[0058]

[Table 2]

[0059]

[Table 3]

[0060]

[Table 4]

[0061]

[Table 5]

[0062]The case where the 1st line of Table 1 formed peripheral circuitssuch as a row decoder and column decoderon the 1st semiconductor chip on the basis of the design ruleand the memory core circuit where many memory cells were arranged on the 2nd semiconductor chip is formed is shown. Interconnection of these semiconductor chips is carried outand they constitute one semiconductor memory device.

[0063]According to the example shown in Table 1a manufacturing cost can be reduced. If the circuit block from which a design rule differs is formed on one semiconductor chipit will be formed with the severe circuit block of a design rule to the circuit block of a design rule loose in comparison.

[0064]A manufacturing process special for formation of structure with an expensive manufacturing installation detailed required is relatively required of manufacture of the severe circuit block of a design rule too much in many cases. Relatively [ a design rule ]if a loose circuit block is relatively divided on a semiconductor chip different from a severe circuit block and is formedthe semiconductor chip will be simply formed at a process cheap in comparisonand its manufacturing yield will also improve. As a resultthe semiconductor device formed from two semiconductor chips is also manufactured with the sufficient yield at low cost as a whole.

[0065]According to the example shown in Table 2the semiconductor device which

carries out high-speed operation with low power consumption is obtained. Generally since the semiconductor device in which high-speed operation is possible tends to produce big leakage current it has the tendency for power consumption to be large. Although the circuit block with a low threshold of a transistor operates at a high speed relatively its leakage current is relatively large. If it separates into the circuit block which should be operated relatively at high speed and the circuit block which may be operated relatively at a low speed based on the threshold of a transistor since it can be alike respectively and each semiconductor chip can be formed by the suitable manufacturing process with low power consumption the semiconductor device which carries out high-speed operation is comparatively alike and can form cheaply.

[0066] Since the optimal power supply voltage can be set up for every semiconductor chip according to the example which Table 3 shows the semiconductor device which carries out high-speed operation with low power consumption can form cheaply in comparison like the example of Table 2. Generally the working speed of very large scale integration (LSI) is proportional to power supply voltage. That is if power supply voltage falls the highest frequency that can operate will become low. On the other hand power consumption is proportional to the square of power supply voltage. In the case of LSI which operates on the same frequency the power consumption at the time of making it operate with the power supply voltage of 3 volts turns into about 40% of the power consumption in the case of making it operate with the power supply voltage of 5 volts. In 3 volts 50-MHz operation and the MCU core (my koro controller unit core) in which 25-MHz operation is possible in 2 volts are used. For example when MCU for image processing which performs 25-MHz operation at 3 volts is formed this MCU for image processing will operate with the comparatively high power supply voltage of that clock frequency. This causes consumption of useless electric power. In operation of MCU the power supply voltage of 2 volts may be preferred and the power supply voltage of 3 volts may be preferred in operation of a peripheral circuit. In such a case a MCU core and a peripheral circuit are formed on a separate semiconductor chip and if different voltage is supplied to each semiconductor chip as a semiconductor device operation of high-speed low power consumption will be realized under the optimal power supply voltage.

[0067] According to the example shown in Table 4a manufacturing cost can be reduced. Since it has the structure which should be manufactured by different manufacturing process from the circuit block which operates with high clock frequency relatively and the circuit block which operates with relatively low clock frequency if each circuit block is formed on a separate semiconductor chip a manufacturing cost will be reduced as a whole. The effect acquired from the example shown in Table 2 is acquired similarly.

[0068] According to the example shown in the 5th line from the 1st line of Table 5a manufacturing cost also including design cost is reduced. In the example of the 1st to 5th line of Table 5 the circuit on one semiconductor chip is constituted from a circuit



block with a general-purpose function between two semiconductor chips and composition of the circuit on the semiconductor chip of another side is enabled to differ for every user. For this reason it is designed and the semiconductor chip in which designs may differ for every user is manufactured and becomes things so that it may have various composition but a general-purpose semiconductor chip may be used in common to the semiconductor chip of the various sorts manufactured by making it such. For this reason when manufacturing two or more semiconductor devices or when a design variation is performed the advantage that a manufacturing cost is reduced is acquired.

[0069] According to the example shown in the 6th line of Table 5 degradation of the performance by a noise is prevented. About this it is as above-mentioned. According to the example shown in the 7th line of Table 5 and the 8th line when the circuit on each semiconductor chip is manufactured by the optimal manufacturing process for each it is effective in a manufacturing cost being reduced.

[0070] (Example 1) Below the 1st example of the semiconductor device by this invention is described in detail.

[0071] The example of composition of the semiconductor memory of this example is shown in drawing 9. Drawing 9 shows the composition of DRAM and each circuitry element is the same as that of drawing 1 and gives the same number to each.

DRAM80 comprises a semiconductor chip in which the memory core section 50 differs from the memory peripheral circuit part 60. The memory core section chip 50 comprises the sense amplifier 4 the column selector 3 the column decoder 2 the word driver 6 and the row decoder 5 which are arranged with the memory cell and identical pitch in the memory cell array 1 and this memory cell array 1 As an input output signal to this memory core section chip 50 The PURIDE code address input signal XAi to the row decoder 5. (27: 055 PURIDE code address input signal YAi(23:0)52 to the column decoder 2 data input/output signal Dco(7:0)51 to the column selector 3 substrate potential input VBB56 pressure-up potential input VPP55 cell plate potential. And the bit line precharge potential input VBPVCP54 and power supply input VCC57 VSS58 and several control signal inputs that are not illustrated further occur.

[0072] The memory peripheral circuit part chip 60 The row address buffer 10 the column address buffer 9 the row address counter 11 the low pulley decoder 8 the column PURIDE coda 7 the data input/output buffers 12 and 13 the light amplifier 14 the read amplifier 15 the RAS system CAS system clock generation circuit 16 WE system clock generation circuit 17 and OE system clock generation circuit 18 -- and Comprise the pressure-up potential generating circuit 19 the board electric potential generating circuit 20 and the 1 / 2VCC generation circuit 21 and as an input output signal to this memory peripheral circuit part chip 60 As an external signal over DRAM80 the address input signal A(10:0) 32 data input/output signal DQ(7:0)36 the RAS input signal 30 the CAS input signal 31 the WE input signal 35 the OE input signal 37 and the power supplies VCC33 and VSS34 As a signal between the memory core

section chips 50The PURIDE code address output signal XAo of the low pulley decoder 8. (27: 063PURIDE code address output signal YAo(23:0)62 of the column PURIDE code data input/output signal Dpe(7:0)61 to a data lineboard electric potential generating circuit output VBB66pressure-up potential generating circuit output VPP651 / 2VCC generation circuit output VCPVBP64and several control signal outputs that are not illustrated further occur.

[0073]DRAM80 realizes the same function as DRAM95 shown in drawing 1 by connecting the required signal between the memory core section chip 50 and the memory peripheral circuit part chip 60.

[0074]Drawing 10 shows the example of a chip layout of the memory core section chip 50 in DRAM80 divided into the memory core section chip 50 and the memory peripheral circuit part chip 60 as shown in drawing 9and the example of mounting of a chip. The memory core section chip 50 is manufactured using the DRAM processand the memory cell array 1the sense amplifier 3the column selector 4the row decoder 6and the word driver 5 are arranged. Although the memory plate in which the memory cell array 1 was quadrisectionedthe row decoder 6and the word driver 5 are the same layouts as drawing 2The one column decoder 2 is arranged in common to a memory plate on either sideand the column selector selection signal which is an output of the column decoder 2 is wired common to the column selector in a memory plate on either side.

[0075]The circuit shown in the memory peripheral circuit part 60 in drawing 9 is arrangedand the memory peripheral circuit part chip 60 is manufactured in the process of differing from the DRAM process used for manufacture of the memory core section chip 50 like a logic LSI process. The memory peripheral circuit part chip 60 and the memory core section chip 50 are mounted in the common substrate 81and DRAM80 in drawing 9 is constituted by connecting connection between chips with the wye YABODO wiring 82. The pad 83 for connecting an external focus is arranged at the memory peripheral circuit part chip 60DRAM composition shown in this drawing 10 is mounted in the same package as the conventional DRAMand the pad and external pin in the pad formation part 83 arranged at the memory peripheral circuit part chip 60 are connected.

[0076]Herein 16 M bit DRAM in composition of being shown in drawing 9the connection signal number between the memory peripheral circuit part chip 60 and the memory core section chip 50 can become about 60and the connection using the wire bond wiring 82 as shown in drawing 10 can realize it with a low price. When making connection between chips with still more numbersthe method etc. which mount a chip in a substrate by a vamp can realize easily using a wiring board.

[0077]Since it becomes possible to manufacture only the memory core section chip 50 using an expensive memory processand to use a cheap logic LSI process for manufacture of the memory peripheral circuit part chip 60 by considering it as such a memory configurationcheap DRAM is realizable.

[0078]While the memory core section chip 50 makes a semiconductor substrate the substrate potential VBB for the improved efficiency of DRAM and being able to make substrate potential of the memory peripheral circuit part chip 60 into earth potentials like logic LSI. Since the circuit element by which direct continuation is carried out to the external pin of a package will exist only in the memory peripheral circuit part chip 60 latchup -- in DRAM using a minuteness making process while being able to wear being able to make surge tolerance be the same as that of logic LSI and being able to make area of a protection circuit small -- latchup -- it can wear and the measures against surge can be taken easy. Although constituted by each of the memory core section chip 50 shown in drawing 10 and the memory peripheral circuit part chip 60 with each circuit element shown in drawing 9. By what kind of circuitry the memory core section chip 50 and the memory peripheral circuit part chip 60 are manufactured. It is dependent on the block division system of a memory the wiring number during a chip etc. and assignment for the memory core section chip 50 and the memory peripheral circuit part chip 60 of the optimal circuitry element is dependent on the requirement specification of a memory to realize.

[0079]Although a cheap DRAM realization means by this invention to realize in old explanation using a semiconductor manufacturing process which is different in the memory peripheral circuit part chip 60 and the memory core section chip 50 has been described. Also in semiconductor memory such as SRAM other than DRAM, EEPROM and a flash memory it can guess easily that the same effect can be attained by using the memory realization means shown in drawing 9 and drawing 10.

[0080](Example 2) Although the memory realization means in the case of using one memory core was shown in drawing 9 and drawing 10. In the system using a memory when the memory of the capacity which a system needs is unrealizable with one chip a system will be realized using the memory of two or more chips. The 2nd example of composition in the semiconductor memory of this invention which constitutes the memory core section and memory peripheral circuit part in the case where two or more memory cores are used from a different chip is shown in drawing 11 and the example in the case of using two memory core section chips is shown in drawing 11. 121-1 and 121-2 are the memory core section chips provided with the same constituent circuits as the memory core section chip shown in drawing 9 respectively. Each input output signal of this memory core section chip 121-1 and 121-2 is equipped with the buffers 67-69 and it is controlled so that chip select signal CS59-1 and 59-2 are activated. 122 is a peripheral circuit chip and except that the two chip select signals (CS1CS2) 38 and 39 are crossing the chip it is the same as that of the peripheral circuit chip shown in drawing 9. The memory core section chip 121-1 121-2 and the peripheral circuit chip 122 are mounted in a substrate and the example which connected between each chip is shown in drawing 12. The memory core section chip 121-1 121-2 and the peripheral circuit chip 122 are mounted in the substrate 120 and each signal pad is connected to the substrate 120 by the wire bond

82. Except for chip select signal CS common connection of the memory core section chip 121-1 and the signal wire of 121-2 is carried out with the wiring 131 on a substrate and they are connected with the peripheral circuit chip 122. The memory core section chip 121-1 and chip select signal CS of 121-2 are independently connected with the chip select signals (CS1CS2) 38 and 39 of the peripheral circuit chip 122 respectively.

[0081] In accessing the memory core section chip 121-1 from the exterior While giving a required signal to RAS (30) CAS (31) WE (35) and OE (37) a selection signal is given to CS1 (38) the signal wire buffers 67-69 of the memory core section chip 121-1 are activated and a required signal is given to a memory core and accessed. Since the selection signal is not given to CS2 (39) at this time the signal wire buffers 67-69 of the memory core section chip 121-2 are not activated and access to a memory core is not performed. Therefore by generating a chip select signal (CS1CS2) by 1 bit of the address to a memory and giving the remaining address to the address terminal 32 Access to all the memory spaces that comprise the memory core section chip 121-1 and 121-2 can be performed.

[0082] Although the case where two memory core section chips are used has been explained in drawing 11 and drawing 12 When using many memory core section chips furthermore and only the number of memory core section chips is provided with the chip select signal given to a memory peripheral circuit it can be understood easily that the same function is realizable.

[0083] Thus when using two or more memory core section chips by having drawing 11 and composition shown figure 12 it becomes possible to share a memory peripheral circuit.

[0084] As stated above cheap semiconductor memory is realizable by dividing semiconductor memory into a memory core section chip and a memory peripheral circuit part chip manufacturing it and connecting a chip by a mounting means.

[0085] (Example 3) A memory is used with other LSI such as signal-processing LSI constitutes the system and explains below the optimal semiconductor device realization means in the system level containing such a memory and signal-processing LSI.

[0086] In realizing a signal processing system the signal processing chip and semiconductor memory which were integrated serve as an indispensable existence. Therefore the signal processing system is realized combining two or more signal processing chip and two or more memory chips.

[0087] On the other hand the bare chip mounting by MCM prospers as art for the miniaturization of systems such as a portable device. MCM mounts an LSI chip in a substrate as [bare chip] and connects between LSI chips using various methods.

[0088] The 1st example of composition of the semiconductor device in this invention in the system which used semiconductor memory and a signal processing chip is shown in drawing 13 and it is considered as the example using DRAM as

semiconductor memory. In drawing 13 200 is the circuit board and the DRAM core part chip 201 and the signal processing chip 202 are mounted. The DRAM core part chip 201 serves as circuitry shown in the memory core section 50 in drawing 9 and is manufactured in a memory process. The signal processing chip 202 is provided with the pad formation part 204 for making connection with the digital disposal circuit 206 and the DRAM peripheral circuit unit 203 which perform a logical operation etc. and an external pin. Since the digital disposal circuit 206 in the signal processing chip 202 performs a logical operation and the DRAM peripheral circuit unit 203 serves as circuitry shown in the memory peripheral circuit part 60 in drawing 9, this signal processing chip 202 is a chip which can be manufactured in a logic LSI process. The required connection between this DRAM peripheral circuit unit 203 and the DRAM core part chip 201 is connected with the wire bond wiring 208. Here, when the memory space which a system needs is 2 M bytes, the memory space of a DRAM core part chip can be 16 M bits, and one chip can realize it in the present semiconductor manufacturing technology. Like [ when performing bit width of the data transfer between the digital disposal circuit 206 and a memory at 8 bits ] explanation by drawing 10, the signal wire connection number between the DRAM peripheral circuit unit 203 and the DRAM core part chip 201 can become about 70 and can be realized by connection with a wire bond as shown by a diagram.

[0089] In such composition, the digital disposal circuit 206 will give an address and a control signal to the DRAM peripheral circuit unit 203 in the same chip and will output [ when the digital disposal circuit 206 in the signal processing chip 202 accesses DRAM ] and input data.

[0090] The DRAM core part chip 201 realized by having such composition using an expensive process. It becomes only a memory core section arranged in the pitch of a memory cell, and the DRAM peripheral circuit unit 203 can be realized by a cheap semiconductor manufacturing process compared with a memory process together with the digital disposal circuit 206. When the digital disposal circuit 206 in the signal processing chip 202 is large-scale compared with the case where the DRAM peripheral circuit unit 203 is not included, the rate of the increase in a chip size of the signal processing chip 202 is very small. Therefore, the fall of the manufacturing yield by having included DRAM peripheral circuit 203 and the rise of chip cost are very small in a similar manner, and a cheap system can be realized.

[0091] Since a signal processing chip and a memory chip can be connected now with many wiring by using MCM art as mentioned above, a highly efficient signal processing system is realizable with cheap composition by using this MCM art.

[0092] (Example 4) Drawing 14 shows the 2nd example of composition of the semiconductor device in this invention which constitutes the signal processing system which used semiconductor memory and a signal processing chip using MCM art. In the figure, the example of the system using DRAM as semiconductor memory is shown. The signal processing chip 302 is provided with the core based CPU 303 which

calculates and is provided with the data cache memory 304 and the instruction memory 305 for improvement in the speed of access with a memory. When access to the data cache memory 304 and the instruction cache memory 305 from the core based CPU 303 is a miss hit, in order to replace the block data in this data cache memory 304 and the instruction memory 305 with the data of DRAM chip 301, it is necessary to transmit a lot of data between DRAM chip 301, the data cache memory 304 and the instruction memory 305. Since this transfer time influences the processing performance of a system, to transmit for a short time is demanded.

[0093] Here, when the memory space which a system needs is 2 M bytes, the memory space of DRAM chip 301 is 16 M bits, and art realizable with one chip is established in the present semiconductor manufacturing technology. In the conventional 16 M bit DRAM, data input/output bit width is about 8–16 bits as mentioned above in consideration of increase of the power consumption by load-carrying-capacity drive and a noise etc. Since the data-pins terminal capacity of packed DRAM which is shown in drawing 3 is set to about 5 pF as mentioned above and the data-pins terminal capacity of signal-processing LSI also serves as a comparable value, in mounting to the printed-circuit board of the signal processing LSI and DRAM shown in drawing 3, it is set to about 15 pF as the sum total of each terminal capacity and printed wiring capacity as capacity of the data line to which the signal processing LSI and DRAM is connected. On the other hand, in the composition shown in drawing 14, since each chip can be manufactured on the assumption that mounting by MCM, the data pins of the signal processing LSI and DRAM, since it is not necessary to enlarge transistor size of an input output buffer and since external load capacity is limited and direct continuation is not carried out to an external pin, when a surge protection device becomes unnecessary, the terminal capacity of data pins can be about 1 pF, respectively. Therefore, since the capacity of the data line to which the signal processing LSI and DRAM is connected is set to about 2 pF, when it is considered as 60–120 bits as the number of data pins, the power consumption for a data-pins capacity drive becomes the same as that of the case of mounting by drawing 3.

[0094] Therefore, in order to perform high-speed data transfer between the signal processing chip 302 and DRAM chip 301 by having composition shown in drawing 14, in a chip, it has two or more data terminals, and it becomes possible to perform two or more data transfers simultaneously. When access to the data cache memory 304 and the instruction memory 305 from the core based CPU 303 is a miss hit as mentioned above, since the transfer rate of data can be enlarged between DRAM chips 301, a highly efficient system is realizable.

[0095] Thus, in LSI realization by the system configuration using MCM art as shown in drawing 14, since it becomes possible to connect a signal processing chip and a memory chip with many wiring, high-speed data transfer is realizable by providing two or more data terminals in each of the signal processing chip 302 and DRAM chip 301 and transmitting two or more data simultaneously.

DRAM is made more expensive.

[0013]In the system using a memoryUsing two or more kinds of memoriessuch as not only DRAM but SRAMEEPROMa flash memoryetc.in many casesall of these memories will carry the peripheral circuit on the same chip as a memory celland all the memory chips will have a circuit which carries out same operation.

[0014]This invention is made in light of the above-mentioned circumstancesand there is a place made into the purpose of this invention in providing a semiconductor device with a high function with a low price.

[0015]

[Means for Solving the Problem]A semiconductor device of this invention is two or more circuit blocks containing the 1st circuit block and the 2nd circuit block from which a block parameter differs a semiconductor device which it hadand this 1st circuit blockIt is formed on the 1st semiconductor chipthis 2nd circuit block is formed on the 2nd semiconductor chipmoreover it is electrically connected to this 1st circuit blockand the above-mentioned purpose is attained by that.

[0016]Said block parameter An operation clock frequencya design rulea threshold ( $V_t$ ) of a transistorIt is the parameter chosen from a group which consists of a difference of power supply voltagea digital circuitor analog circuitrya difference of a usual MOS circuit or a CMOS circuita bipolar circuitor a by CMOS circuita difference of ROM or RAMand a difference of logic or a memory.

[0017]Said 1st circuit block may be a memory cell block which has two or more memory cellsand said 2nd circuit block may be a memory peripheral circuit block for accessing a memory cell as which this memory cell block was chosen.

[0018]Said 1st circuit block may be a core based CPUand said 2nd circuit block may be a peripheral circuit block.

[0019]A process of dividing a circuit where a manufacturing method of a semiconductor device of this invention may be accumulated on one semiconductor chip into the 1st circuit block and the 2nd circuit block from which a block parameter differsA process of electrically connecting a process of forming this 1st circuit block on the 1st semiconductor chipa process of forming this 2nd circuit block on the 2nd semiconductor chipand this 1st circuit block and this 2nd circuit block is includedand the above-mentioned purpose is attained by that.

[0020]Said block parameter An operation clock frequencya design rulea threshold ( $V_t$ ) of a transistorIt is the parameter chosen from a group which consists of a difference of power supply voltagea digital circuitor analog circuitrya difference of a usual MOS circuit or a CMOS circuita bipolar circuitor a by CMOS circuita difference of ROM or RAMand a difference of logic or a memory.

[0021]Said 1st circuit block may be a memory cell block which has two or more memory cellsand said 2nd circuit block may be a memory peripheral circuit block for accessing a memory cell as which this memory cell block was chosen.

[0022]Said 1st circuit block may be a core based CPUand said 2nd circuit block may

[0096](Example 5) The 3rd system configuration example of the semiconductor device in this invention which realizes the low voltage and low-power-consumption operation for two or more data using such MCM art in the system in which simultaneous transfer is possible is explained below.

[0097]Drawing 15 shows the 3rd example of composition of the semiconductor device in this invention and is an example of composition of the system using two or more data transfer between semiconductor memory and signal-processing LSI and the parallel processing in signal-processing LSI. In the figure the example of the system using DRAM as semiconductor memory is shown. In order to perform the signal processing chip 402 parallel processing while being provided with the two cores based CPU 403 and 404. In order to perform data transfer in two or more data between DRAM chips 401 each of DRAM chip 401 and the signal processing chip 402 has offered two or more data terminals. Between the signal processing chip 402 and DRAM chips 401 is connected with many wire bond wiring 406.

[0098]In the case where a processing system is 8-bit architecture and the cores based CPU 403 and 404 perform processing which is 8 bits respectively in the signal processing system of such composition. By performing data transfer between DRAM chips 401 at 16 bits two data can be simultaneously processed now by the cores based CPU 403 and 404. Therefore as compared with 8 bit data transfer with the signal processing LSI and DRAM in composition of being shown in drawing 3 and 8-bit signal processing in signal-processing LSI it can be considered as twice as many throughput as this.

[0099]In the system configuration shown in drawing 15 in realizing the same throughput as the system configuration in drawing 3 it becomes possible to reduce power consumption substantially. The source-voltage-dependency nature of the gate delay in the logic gate used with the signal processing chip 402 and the source-voltage-dependency nature of the access time in DRAM chip 401 are shown in drawing 16 (a) and (b). A logic gate (a) and DRAM (b) of the voltage which serves as twice as many delay as this to delay with the power supply voltage 3.3V generally used conventionally are about 1.9V. Therefore according to the system configuration shown in drawing 15 which performs data transfer with DRAM chip 401 at 2 words and performs parallel-signal processing by the two cores based CPU 403 and 404 and which is depended signal processing chip 402. The same processing performance as the system configuration shown in drawing 3 in 3.3V operation using the power supply voltage of 1.9V is realizable.

[0100]Comparison of the 3rd system configuration example in the semiconductor device of this invention shown by drawing 15 and the conventional system configuration is shown in drawing 17. What mounts the memory and signal-processing LSI which were packed as shown in discrete \*\*\*\*3 of the system configuration 1 on a printed circuit board in a figure General-purpose chip MCM of the system configuration 2 is the system mounted by MCM art using a conventional memory chip



and signal processing chip and this invention of the system configuration 3 is the 3rd system configuration example in the semiconductor device of this invention shown in drawing 15. A characteristic thing performs data transfer between a signal processing chip and a memory to two or more data coincidence in the system configuration 3 is performing parallel processing and is operating at 10 MHz to operating at 20 MHz at the system configuration 3 by the system configuration 1 and the system configuration 2. However since parallel operation is performed in the system configuration 3 the same system performance as the system configuration 1 and the system configuration 2 has been realized. Therefore although the system configuration 1 and the system configuration 2 are operating with the power supply voltage 3.3V the system configuration 3 can operate by 1.9V. Thereby to the system configuration 1 and the system configuration 2 of power consumption being about 1W it will operate at about 250 mW and as for the system configuration 3 the electric power of 4 has realized about 1/4 of the performance.

[0101] Thus the system of the low voltage and low power consumption is realizable by using transmission and parallel processing of two or more data using the MCM art of this invention.

[0102] (Example 6) Drawing 18 shows the 4th example of composition of the semiconductor device in this invention that realizes the system using the transmission and parallel processing of two or more data which used MCM art with a low price. The figure shows the example of composition of system such as a Personal Digital Assistant using DRAM flash memory and signal processing chip which were constituted using MCM art. The signal processing chip 102 the DRAM core part chip 101 and the flash plate memory core section chip 103 are mounted in the common substrate 100. It is provided with the DRAM peripheral circuit unit 104 and the flash memory peripheral circuit part 105 while being provided with the two cores based CPU 107 and 108 in order to perform the signal processing chip 102 parallel processing. In order to perform data transfer in two or more data between the signal processing chip 102 the DRAM core part chip 101 and the flash plate memory core section chip 103 Each of the DRAM peripheral circuit unit 104 in the DRAM core part chip 101 the flash plate memory core section chip 103 and the signal processing chip 102 and the flash memory peripheral circuit part 105 has offered two or more data terminals. Between the signal processing chip 102 the DRAM core part chip 101 and the flash plate memory core section chips 103 is connected with many wire bond wiring 110 and 111.

[0103] As drawing 15 - drawing 17 explained by having such composition while the system of the low voltage and low power consumption is realizable by using transmission and parallel processing of two or more data using MCM art. The DRAM core part chip 101 and the flash plate memory core section chip 103 which are realized using an expensive semiconductor manufacturing process like explanation by drawing 13 It can be considered only as the memory core section arranged in the pitch

of a memory cell Since the DRAM peripheral circuit unit 104 and the flash memory peripheral circuit part 105 are realizable by semiconductor manufacturing processes such as a cheap logic LSI process compared with a memory process on the same chip as the digital disposal circuit 106 or the cores based CPU 107 and 108 It becomes possible to realize cheaply the system of the low voltage and low power consumption.

[0104] As drawing 11 and drawing 12 explained when using two or more memory core section chips of an identical configuration it is possible to share a memory peripheral circuit. As similarly by making the same the word configuration of the DRAM core chip 101 and the flash plate memory core section chip 103 shows the semiconductor device using the MCM art shown in drawing 18 to drawing 19 (a) It becomes possible to share the memory peripheral circuit of a DRAM core chip and a flash plate memory core section chip. In drawing 19 (a) as for 501 a flash plate memory core section chip and 502 are signal processing chips a DRAM core chip and 503 and the signal processing chip 502 is provided with the digital disposal circuit 506 the cores based CPU 507 and 508 and the memory peripheral circuit 504.

[0105] The detailed composition of the memory peripheral circuit 504 is shown in drawing 19 (b). Since the DRAM core chip 501 and the flash plate memory core section chip 503 serve as different control The memory peripheral circuit 504 is provided with DRAM control circuits 520 and the flash memory control circuit 523 DRAM control circuits 520 are controlled based on a RAS signal and a CAS signal and the flash memory control circuit 523 is controlled based on the chip enable signal (CE). The address system circuit 521 which comprises the column address buffer 9 in drawing 9 low ADOBAFFA 10 the row address counter 11 the column PURIDE coda 7 and the low pulley decoder 8 The data system circuit 522 which comprises the data input buffer 12 the data output buffer 13 the light amplifier 14 and the read amplifier 15 is shared by the DRAM core chip 501 and the flash plate memory core section chip 503.

[0106] The DRAM core chip 501 the signal processing chip 502 and the flash plate memory core section chip 503 are mounted on the substrate 500 Bonding of the signal terminal for connecting between each chip is carried out to the substrate 500 with the wire bond 510 and between each chip is connected by the wiring 511–513 on the substrate 500. A DRAM core control signal is connected to the DRAM core chip 501 by the wiring 511 among the signal terminals of the memory peripheral circuit 504 A flash memory control signal is connected to the flash plate memory core section chip 503 by the wiring 512 and an address system and a data system signal are connected to the DRAM core chip 501 and the flash plate memory core section chip 503 by the wiring 513.

[0107] When the signal processing chip 502 reads data from the DRAM core chip 501 RAS CAS and OE signal are generated by the digital disposal circuit 506 and it is given with an address to the memory peripheral circuit 504. While the memory

peripheral circuit 504 generates a DRAM core control signal by DRAM control circuits 520 based on RAS and CAS and OE signal. By generating a PURIDE code address by the address system circuit 521 and giving to the DRAM core chip 501, data is read from a DRAM core and it outputs to the digital disposal circuit 506 via the data system circuit 522. At this time, since CE is not given, a flash memory control signal is not generated but the flash plate memory core section chip 503 of the flash memory control circuit 523 is still a waiting state. When the signal processing chip 502 reads data from the flash plate memory core section chip 503, CE and OE signal are generated by the digital disposal circuit 506 and it is given with an address to the memory peripheral circuit 504. While the memory peripheral circuit 504 generates a flash plate memory core control signal by the flash memory control circuit 523 based on CE and OE signal. By generating a PURIDE code address by the address system circuit 521 and giving to the flash plate memory core section chip 503, data is read from a flash plate memory core and it outputs to the digital disposal circuit 506 via the data system circuit 522. At this time, since RAS and CAS are not given, a DRAM control signal is not generated but the DRAM core chip 501 of DRAM control circuits 520 is still a waiting state. Similarly the data writing to the DRAM core chip 501 or the flash plate memory core section chip 503 from the signal processing chip 502 by giving any of RAS and CAS or CE signal they are to the memory peripheral circuit 504. It is possible to write in either one of the DRAM core chip 501 or the flash plate memory core section chip 503.

[0108] In drawing 19 although the word configuration of the memory core section of the DRAM core chip 501 and the flash plate memory core section chip 503 was explained about the case where identification is carried out, when word configurations differ, the column address buffer in the address system circuit 521. It can be understood easily that it is possible to share a part of a part of row address buffer, column PURIDE code and low pulley decoder and the data input buffer in the data system circuit 522, data output buffer, read amplifier and light amplifier.

[0109] Thus, when using two or more memories of a different kind, it becomes possible by realizing a memory core section and a memory peripheral circuit part with a different chip to share a part of memory peripheral circuit.

[0110] In the above-mentioned example, although this invention has been explained about DRAM, as stated first, this invention is not limited to DRAM. Having described the example in detail about DRAM, it is because there was common sense that the memory core section and memory peripheral circuit part of DRAM should be formed on the same semiconductor chip, strongly so it is most suitable for explanation of the example of forming in a different semiconductor chip from this memory core section and a memory peripheral circuit part expressing the feature of an invention. This invention is not limited to MCM.

[0111] Below, how to divide a circuit block into two or more semiconductor chips is explained referring to drawings.

[0112]Drawing 20 (a) and (b) is a block diagram showing the composition of general MCU902 for control and MCU903 for image processing.

[0113]First the block parameter which shows the circuit information of MCU902 for control and the feature of each configuration block is extracted and it reads into CAD. Next hierarchy deployment of a block is performed until grouping becomes possible. For example LSI0 is developed to each circuit block of a MCU core serial I/F, ROM, RAM, a timer, interruption control, D/A and A/D.

[0114]Next grouping of the circuit block by which hierarchy deployment was carried out is carried out by making a difference of a "MCU core" and a "peripheral circuit" into a parameter.

[0115]In the case of this example the circuit block of a MCU core is chosen as a group of LSI1, serial I/F, ROM, RAM, a timer, interruption control, D/A and the circuit block of A/D will be chosen as a group of LSI2 and as a result the hierarchies LSI1 and LSI2 will be generated.

[0116]In the same procedure the hierarchies LSI1 and LSI2 are generable also about MCU for image processing.

[0117]Drawing 21 (a) shows typically the state where the MCU core 905 and the peripheral circuit 904 were separated from MCU902 for control and MCU903 for image processing and drawing 21 (b) The chip 905 for MCU cores and the chip 904 for peripheral circuits show typically the section of the semiconductor device connected with MCM art.

[0118]Drawing 22 (a) shows the case where the circuit block of a MCU core and ROM and RAM was chosen and serial I/F, a timer, interruption control, D/A and the circuit block of A/D are chosen as a group of LSI2 as a group of LSI1 on the occasion of grouping. Drawing 21 (b) shows typically the section of the semiconductor device to which the MCU core the chip 908 for a common part and the chip 907 (909) for peripheral circuits were connected with MCM art.

[0119]In this way there are the following advantages by dividing a circuit into a "MCU core chip" or "a MCU core and the chip for a common part" and a peripheral circuit chip.

[0120]That is if the circuit block common to two kinds of MCU(s) is formed on one semiconductor chip the circuit area of the semiconductor device formed from two chips will contract as a whole and a manufacturing yield will also improve. When designing MCU newly or performing a design variation if the design of a MCU core newly designs only a peripheral circuit small-scale in comparison or a design variation is carried out it is sufficient for it without changing. Since what is necessary is to do only the test of the peripheral circuit designed newly it becomes unnecessary to newly provide the circuit for a test. For this reason the development cost as the whole semiconductor device is reduced.

[0121]

[Effect of the Invention] By according to this invention forming the 1st circuit block

from which a block parameter differs and the 2nd circuit block on a respectively different semiconductor chip and electrically connecting them. Various problems which produce the circuit which comprises a circuit block with a different block parameter from being accumulated on one semiconductor chip are solvable.

[0122] By separating into the memory core section chip especially realized using the 1st semiconductor manufacturing process and the memory peripheral circuit part chip realized using the 2nd different semiconductor manufacturing process from the 1st semiconductor manufacturing process. Since it becomes possible to manufacture only a memory core section chip using an expensive memory process and to use a cheap logic LSI process for manufacture of a memory peripheral circuit part chip, it is effective in low-pricing of semiconductor memory.

[0123] The memory core section chip realized using an expensive process can be made only into the memory core section arranged in the pitch of a memory cell and a memory peripheral circuit part can be realized by a cheap semiconductor manufacturing process compared with a memory process to digital-disposal-circuit 1 clue. For this reason, when the digital disposal circuit in a signal processing chip is large-scale. Similarly, since it is very small, the fall of the manufacturing yield by the rate of the increase in a chip size having become very small compared with the case where a signal processing chip does not contain a memory peripheral circuit part and having included the memory peripheral circuit part and the rise of chip cost are effective in low-pricing of the semiconductor device which constitutes a system.

[0124] The memory core section chip containing the memory cell for memorizing the data realized using the 1st semiconductor manufacturing process. By connecting the signal processing chip which carries the digital disposal circuit which processes using the data memorized by the memory peripheral circuit part and memory core section chip which are realized using the 2nd different semiconductor manufacturing process from the 1st semiconductor manufacturing process, high-speed data transfer becomes possible between a signal processing chip and a memory chip and it is effective in highly-efficient-izing of a system. While it is very effective in the low voltage and low power consumption of a system by using transmission and parallel processing of two or more data, also in a low price, it becomes effective.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is an example of circuitry of DRAM conventionally.

[Drawing 2] It is the sample layout of DRAM in drawing 1.

[Drawing 3] It is a figure showing a system configuration example conventionally using semiconductor memory.

[Drawing 4] (a) is shown and two or more circuit blocks classified functionally [ usual ]

(b)The layout of the semiconductor device which accumulated these circuit blocks on one semiconductor chip is shown typically and (c)It is a figure showing typically the layout of the semiconductor device which classified the circuit block into two groups based on the block parameter whether they are digital one or an analog and rearranged each on two different semiconductor chips.

[Drawing 5]As for the top view of MCM and (b)the sectional view and (c) of (a) are the perspective view.

[Drawing 6](a) And (b) is a top view explaining the 1st method of distribution two or more blocks.

[Drawing 7](a) And (b) is a top view explaining the 2nd method of distribution two or more blocks.

[Drawing 8]It is a flow chart which shows the manufacturing method of the semiconductor device by this invention.

[Drawing 9]It is the 1st example of composition of the semiconductor memory in this invention.

[Drawing 10]It is the sample layout of the semiconductor memory in drawing 9.

[Drawing 11]It is the 2nd example of composition of the semiconductor memory in this invention.

[Drawing 12]It is an example of mounting of the semiconductor memory in drawing 11.

[Drawing 13]It is the 1st example of composition of the semiconductor device of this invention.

[Drawing 14]It is the 2nd example of composition of the semiconductor device of this invention.

[Drawing 15]It is the 3rd example of composition of the semiconductor device of this invention.

[Drawing 16]It is a figure showing the source-voltage-dependency characteristic of a logic gate time delay and DRAM access time.

[Drawing 17]It is a figure showing many performance comparison by a system configuration example.

[Drawing 18]It is the 4th example of composition of the semiconductor device of this invention.

[Drawing 19]It is the 5th example of composition of the semiconductor device in this invention.

[Drawing 20]The figure in which (a) shows the composition of a control oriented microcomputer typically and (b) are the figures showing the composition of the microcomputer for image processing typically.

[Drawing 21]A figure for (a) to explain division of a circuit block about a control oriented microcomputer and the microcomputer for image processing and (b) are the sectional views showing typically connection of two semiconductor chips in which the divided circuit block was formed.

[Drawing 22]Other figures for (a) to explain division of a circuit block about a control

oriented microcomputer and the microcomputer for image processing and (b) are the sectional views showing typically connection of two semiconductor chips in which the divided circuit block was formed.

[Description of Notations]

- 1 .... Memory cell array
- 2 .... Column decoder
- 3 .... Column selector
- 4 .... Sense amplifier
- 5 .... Row decoder
- 6 .... Word line driver
- 7 .... Column PURIDE coda
- 8 .... Low pulley decoder
- 9 .... Column address buffer
- 10 .... Row address buffer
- 11 .... Row address counter
- 12 .... Data input buffer
- 13 .... Data output buffer
- 14 .... Light amplifier
- 15 .... Read amplifier
- 16 .... A RAS system / CAS system clock generation circuit
- 17 .... WE system clock generation circuit
- 18 .... OE system clock generation circuit
- 19 .... Pressure-up potential generating circuit
- 20 .... Board electric potential generating circuit
- 21 .... 1 / 2VCC potential generating circuit
- 30 .... RAS signal input terminal
- 31 .... CAS signal input terminal
- 32 .... Address input terminal
- 33 .... VCC terminal
- 35 .... WE signal input terminal
- 36 .... Data input/output terminal
- 37 .... OE signal input terminal
- 38 .... CS1 signal input terminal
- 39 .... CS2 signal input terminal
- 40 .... Pad
- 50 .... DRAM core part
- 51 .... Data input/output terminal
- 52 .... Column PURIDE coda input
- 53 .... Low pulley decoder input
- 54 .... VBP/VCP terminal
- 55 .... VPP terminal

56 .... VBB terminal  
57 .... VCC terminal  
60 .... The DRAM peripheral circuit unit  
61 .... Data input/output terminal  
62 .... Column PURIDE coda output  
63 .... Low pulley decoder output  
64 .... VBP/VCP terminal  
65 .... VPP terminal  
66 .... VBB terminal  
676869 .... Signal wire buffer  
70 .... Printed-circuit board  
71 .... Signal-processing LSI  
72 .... DRAM  
73 .... Printed wiring  
81 .... Wire bond wiring  
83 .... Pad  
94 .... The DRAM peripheral circuit unit  
95 .... DRAM  
100 .... Substrate  
101 .... DRAM core part chip  
102 .... Signal processing chip  
103 .... Flash plate memory core section chip  
104 .... The DRAM peripheral circuit unit  
105 .... Flash memory peripheral circuit part  
106 .... Digital disposal circuit  
107108 .... Core based CPU  
109 .... Pad  
110111 .... Wire bond wiring  
120 .... Substrate  
122 .... Memory peripheral circuit part chip  
131 .... Substrate wiring  
200 .... Substrate  
201 .... DRAM core part chip  
202 .... Signal processing chip  
203 .... The DRAM peripheral circuit unit  
204 .... Pad  
300 .... Substrate  
301 .... DRAM chip  
302 .... Signal processing chip  
303 .... Core based CPU  
304 .... Data cache



305 .... Instruction cash  
306 .... Pad  
307 .... Wire bond wiring  
400 .... Substrate  
401 .... DRAM chip  
402 .... Signal processing chip  
403404 .... Core based CPU  
405 .... Pad  
406 .... Wire bond wiring  
500 .... Substrate  
501 .... DRAM core part chip  
502 .... Signal processing chip  
503 .... Flash plate memory core section chip  
504 .... Memory peripheral circuit part  
506 .... Digital disposal circuit  
507508 .... Core based CPU  
510 .... Wire bond wiring  
511512513 .... Substrate wiring  
520 .... DRAM control circuits  
521 .... Address system circuit  
522 .... Data system circuit  
523 .... Flash memory control circuit.

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-167703

(43) 公開日 平成8年(1996)6月25日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

21/8242

G 1 1 C 11/401

7735-4M

H 0 1 L 27/ 10

6 8 1 E

G 1 1 C 11/ 34

3 7 1 K

審査請求 未請求 請求項の数26 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願平7-263382

(22) 出願日 平成7年(1995)10月11日

(31) 優先権主張番号 特願平6-245312

(32) 優先日 平6(1994)10月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森 俊樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 中尾 一郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 藤田 勉

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 山本 秀策

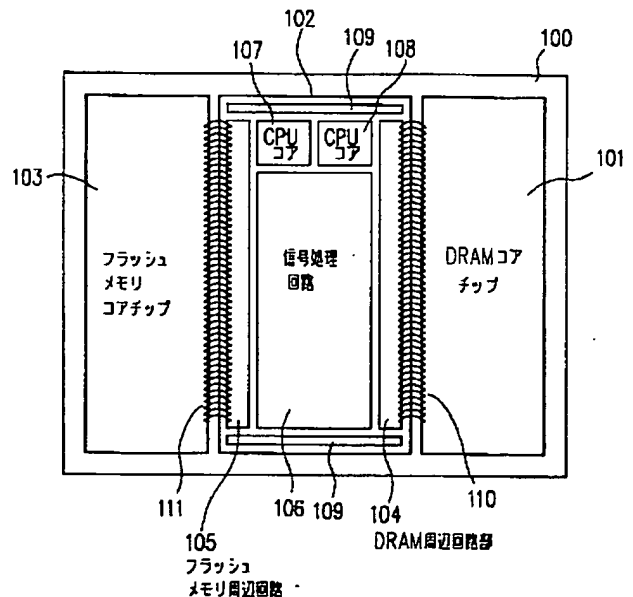
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法、ならびにメモリアチップ及びメモリ周辺回路チップ

(57) 【要約】

【課題】 低電圧・低消費電力で動作する安価な半導体装置を提供する。

【解決手段】 デザインルール等のブロックパラメータの異なる第1回路ブロック (DRAMコア) 及び第2回路ブロック (DRAM周辺回路) を含む複数の回路ブロックを備えた半導体装置であって、第1回路ブロックは、第1の半導体チップ (DRAMコアチップ) 101上に形成されており、第2回路ブロックは、第2の半導体チップ102上に形成され、第1回路ブロックに電氣的に接続されている。この結果、低コストで各半導体チップを製造できる。



## 【特許請求の範囲】

【請求項1】 ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックを含む複数の回路ブロックを備えた半導体装置であって、

該第1回路ブロックは、第1の半導体チップ上に形成されており、

該第2回路ブロックは、第2の半導体チップ上に形成されており、しかも、該第1回路ブロックに電気的に接続されている、半導体装置。

【請求項2】 前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値（ $V_t$ ）、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである、請求項1に記載の半導体装置。

【請求項3】 前記第1回路ブロックは、複数のメモリセルを有するメモリセルブロックであり、前記第2回路ブロックは、該メモリセルブロックの選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックである、請求項1に記載の半導体装置。

【請求項4】 前記第1回路ブロックは、CPUコアであり、前記第2回路ブロックは、周辺回路ブロックである、請求項1に記載の半導体装置。

【請求項5】 一つの半導体チップ上に集積され得る回路を、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックに分離する工程と、

該第1回路ブロックを第1の半導体チップ上に形成する工程と、

該第1回路ブロックと該第2回路ブロックとを電気的に接続する工程と、を包含する、半導体装置の製造方法。

【請求項6】 前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値（ $V_t$ ）、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである、請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1回路ブロックは、複数のメモリセルを有するメモリセルブロックであり、前記第2回路ブロックは、該メモリセルブロックの選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックである、請求項5に記載の半導体装置の製造方法。

【請求項8】 前記第1回路ブロックは、CPUコアであり、前記第2回路ブロックは、周辺回路ブロックである、請求項5に記載の半導体装置の製造方法。

【請求項9】 一つの半導体チップ上に集積され得る回路が、ブロックパラメータの異なる第1回路ブロック及び

び第2回路ブロックに分離された半導体装置であって、該第1回路ブロックは第1の半導体チップ上に形成され、該第2回路ブロックは第2の半導体チップ上に形成されており、該第1回路ブロックと該第2回路ブロックとが電気的に接続されている、半導体装置。

【請求項10】 前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値（ $V_t$ ）、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである、請求項9に記載の半導体装置。

【請求項11】 少なくとも第1の機能を果たすための複数の回路ブロックを有する第1回路部と、該第1の機能とは異なる第2の機能を果たすための回路ブロックを有する第2回路部とを備えた半導体装置であって、

該第1回路部の該複数の回路ブロックのうち、少なくとも一つの回路ブロックは、該第2回路部の回路ブロックとともに、第1の半導体チップ上に形成されており、

該第1回路部の残りの回路ブロックは、該第1の半導体チップとは異なる第2の半導体チップ上に形成され、しかも、該第2の半導体チップ上に形成された回路ブロックに電気的に接続されており、

該第1半導体チップ上に形成された該第1回路部の回路ブロックに関するブロックパラメータは、該第2半導体チップ上に形成された該第1回路部の他の回路ブロックに関するブロックパラメータよりも、該第2回路部の回路ブロックに関するブロックパラメータに近い、半導体装置。

【請求項12】 前記第1回路部は、前記第1の機能を果たす複数の回路ブロックとして、少なくともメモリセルブロックとメモリ周辺回路ブロックとを有しており、前記第2回路部は、前記第2の機能を果たす回路ブロックとして、信号処理回路を有しており、

該信号処理回路と該メモリ周辺回路ブロックとが、前記第1半導体チップ上に形成され、該メモリセルブロックが前記第2半導体チップ上に形成されている、請求項11に記載の半導体装置。

【請求項13】 前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値（ $V_t$ ）、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである、請求項11に記載の半導体装置。

【請求項14】 メモリセルアレイを含む他の半導体メモリコアチップに対して信号の送受信を行うための入出力端子と、

与えられるアドレスによって、該半導体メモリコアチップ内の該メモリセルアレイのうちのメモリセルを指定

し、該メモリセルへのデータ読み出しまたは書き込みをおこなうメモリ周辺回路と、  
を備えたメモリ周辺回路部チップ。

【請求項15】 メモリ周辺回路を含む他の半導体チップに対して信号の送受信を行うための入出力端子と、メモリセルアレイとを備え、  
与えられるアドレスによって、該半導体チップの該メモリ周辺回路からメモリセルを指定され、該メモリセルへのデータ読み出しまたは書き込みをおこなうメモリコアチップ。

【請求項16】 第1の半導体製造プロセスを用いて形成される少なくとも一つのメモリコア部チップと、  
該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部チップと、  
該メモリコア部チップ及び該メモリ周辺回路部チップを接続する手段と、を備えた半導体メモリ装置。

【請求項17】 前記メモリコア部チップは、データを記憶するためのメモリセルを含み、  
前記メモリ周辺回路部チップは、与えられるアドレスにより該メモリコア部チップ内の該メモリセルを指定し、  
該メモリセルへのデータ読み出しまたは書き込みをおこなう請求項16に記載の半導体メモリ装置。

【請求項18】 第1の半導体製造プロセスを用いて形成される複数のメモリコア部チップと、  
該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部チップと、  
該複数のメモリコア部チップ及び該メモリ周辺回路部チップを接続する手段と、を備え、  
前記メモリコア部チップは、該メモリ周辺回路チップ内の少なくとも一部の回路を共有する半導体メモリ装置。

【請求項19】 第1の半導体製造プロセスを用いて形成されるデータを記憶するためのメモリセルを含む少なくとも一つのメモリコア部チップと、  
該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部およびメモリコア部チップに記憶されるデータを用いて処理をおこなう信号処理回路を搭載する信号処理チップと、  
該メモリコア部チップ及び該信号処理チップを接続する手段と、  
を備えた半導体装置。

【請求項20】 前記メモリ周辺回路部は、与えられるアドレスによって前記メモリコア部チップ内の前記メモリセルを指定し、該メモリセルへのデータ読み出しまたは書き込みをおこなう請求項19記載の半導体装置。

【請求項21】 前記メモリコア部チップは複数個あり、メモリ周辺回路チップ内の少なくとも一部の回路を共有する請求項19に記載の半導体装置。

【請求項22】 メモリセル部チップと信号処理部チップが

マルチチップ実装手段により実装された半導体装置であって、

該メモリチップは、データを格納する複数のメモリセルを備えたメモリセルアレイ部と、与えられるアドレスにより該メモリセルアレイ内の該メモリセルを指定し、データを入出力するアクセス手段と、複数データを並列に入出力するためのデータ端子とを備えており、  
該信号処理チップは、複数データを並列に入出力するデータ端子を備えており、  
該メモリチップと該信号処理チップとの間で複数のデータを並列に転送する手段を備えた半導体装置。

【請求項23】 前記メモリチップは、第1の半導体製造プロセスを用いて実現されており、  
前記信号処理チップは、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されている請求項22記載の半導体装置。

【請求項24】 前記信号処理チップは、さらに複数の信号処理回路を備えている請求項22記載の半導体装置。

【請求項25】 メモリコア部チップおよび信号処理チップがマルチチップ実装手段により実装された半導体装置であって、  
該メモリコア部チップは、データを格納する複数のメモリセルを備えたメモリセルアレイと、複数データを並列に入出力するデータ端子を備えており、  
該信号処理チップは、与えられるアドレスにより該メモリコア部チップ内の該メモリセルを指定し、該メモリセルへのデータ読み出しまたは書き込みをおこない、複数データを並列に入出力するデータ端子および複数の信号処理回路を備えており、  
該メモリコア部チップと該信号処理チップとの間で複数のデータを並列に転送する手段を備えた半導体装置。

【請求項26】 前記メモリコア部チップは、第1の半導体製造プロセスを用いて実現されており、  
前記信号処理チップは、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成される請求項25記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置などの半導体装置及びその製造方法に関するものであり、特に、マルチチップモジュール（以下、MCMと記す）に適した半導体装置に関する。

【0002】

【従来の技術】半導体メモリの1つであるダイナミック・ランダムアクセス・メモリ（DRAM）は、記憶部として、メモリセルがアレイ状に配置されたメモリセルアレイを備えたものである。DRAMは、パッケージのピン数を極力少なくできるように図1に示すような回路構成でチップが実現されている。図1において、DRAM

95はメモリセルがアレイ状に配置されたメモリセルアレイ1を中心に、メモリセルアレイ1内のメモリセルと同一ピッチでレイアウトされる回路ブロック50として、ワードラインを選択するためのローデコーダ5およびワードラインドライバ6、ビットラインの信号を増幅するためのセンスアンプ4、センスアンプ4により増幅された信号の中から任意の位置のビットデータを選択しデータラインに出力するコラムセレクト3および、コラムセレクト3へ与える選択信号を発生するコラムデコーダ2を有しており、以降の説明においては、メモリセルアレイ1およびメモリセルアレイ1内のメモリセルと同一ピッチでレイアウトされる回路を合わせた回路ブロック50をメモリコア部と表現する。また、メモリセルアレイ1内のメモリセルピッチには依存しないでレイアウトされる回路としては、アドレス信号入力端子A(10:0)32からローアドレスを受け取るローアドレスバッファ10、コラムアドレスを受け取るコラムアドレスバッファ9、リフレッシュアドレスを発生するローアドレスカウンタ11、ローアドレスバッファ10およびコラムアドレスバッファ9の出力信号からローデコーダ5およびコラムデコーダ2へ与える信号に変換するために、入力されるアドレス信号をあらかじめデコードするロープリデコーダ8およびコラムプリデコーダ7、データ入出力端子DQ(7:0)36へのデータの入出力をおこなうデータ入力バッファ12およびデータ出力バッファ13、メモリセルへのデータ書き込みをおこなうためのライトアンプ14、メモリセルからのデータ読み出しをおこなうためのリードアンプ15、RAS信号入力端子30およびCAS信号入力端子31から入力されるRASおよびCAS信号を基にDRAM内部のタイミング信号を発生するRAS系/CAS系クロック発生回路16、WE信号入力端子35から入力されるWE信号を基に書き込みのタイミング信号を発生するWE系クロック発生回路17、OE信号入力端子37から入力されるOE信号を基にデータ出力のタイミング信号を発生するOE系クロック発生回路18および、DRAM内部に必要な電圧を発生する回路として、ワード線電位を昇圧するのに必要となる昇圧電位発生回路19、基板に与える電位を発生する基板電位発生回路20、ビット線プリチャージやセルプレートに与える電位として必要となる1/2VCC発生回路21を有している。以降の説明においては、このメモリセルアレイ1内のメモリセルピッチとは依存しないでレイアウトされる回路を合わせてメモリ周辺回路部と表現する。

【0003】DRAM95は1チップ上に図1に示す回路を備えることにより、パッケージに実装する場合の外部ピンとしてはアドレス、データ、数本の制御信号ピンおよび電源ピンのみとなり、小さなパッケージで実装することができる。8ビットデータI/Oの16MDRAMを例にとると、アドレスピンとして11ピン、データ

【0004】図1で示す回路構成のDRAMのチップレイアウト例を図2に示す。図2では16MビットDRAMの場合を示しており、メモリセルアレイ1は4Mビットのプレートに4分割され、各々の4Mビットのプレートはさらに256Kビットのメモリセルブロック96に16分割されている。256Kビットの各メモリセルブロック96は256ロー×1024コラムのメモリセルを備えており、センスアンプ4およびコラムセクタ3は各メモリセルブロックにメモリセルのコラム数と同数の1024個配置されている。ローデコーダ6およびワードドライバ5は、各メモリセルブロック毎に配置されており、コラムデコーダ2は各プレート毎に配置され、メモリ周辺回路部はチップ中央部での左右のコラムデコーダ2の間94およびチップ周辺部に配置されている。ここで、コラムデコーダ2の出力であるコラムセクタ3への選択信号は左右のプレートに対して共通な信号であるが、コラムデコーダ2が左右のプレートにそれぞれ配置されているのは、選択信号線が中央部のメモリ周辺回路部94を横切ることができないためである。外部ピンとの接続をおこなうためのパッドはチップ中央部94内のパッド形成部40内に配置されており、このパッドとパッケージの外部ピンとをワイヤボンデで接続している。

【0006】図3にDRAMを用いたシステムの実現手段例を示している。70はプリント配線基板であり、このプリント配線基板70上にパッケージされたDRAM72およびCPU等の信号処理LSI71がハンダ付されている。DRAM72と信号処理LSI71との間はプリント配線73により接続されている。図3においてはDRAMを1個用いるシステム構成例を示したが、D

RAMを複数個用いるシステムも多くある。

【0007】

【発明が解決しようとする課題】DRAMは小面積で大容量のメモリセルキャパシタや、リーク電流の少ないメモリセルトランジスタを実現するために工程数の多い複雑な半導体製造プロセスを用いて製造されており、0.5  $\mu\text{m}$ のデザインルールを用いるDRAMプロセスにおいては同一デザインルールでのロジックLSIを実現する論理LSIプロセスに比べ約1.5倍の製造コストとなっている。

【0008】図1に示すDRAM回路構成において、DRAMプロセスを必要とする部分はメモリセルアレイ1のみであり、チップ上でのメモリセルアレイ1以外の部分はロジックLSIを実現する論理LSIプロセスで製造可能なものである。しかしながら、図2に示すように図1に示す回路構成のすべての部分がDRAMプロセスで製造されており、DRAMを高価なものとしている。

【0009】このことはDRAM以外の半導体メモリにおいても同様であり、SRAM、EEPROM、フラッシュメモリ等も論理LSIプロセスに比べ高価なプロセスでメモリセルアレイ以外の周辺回路部を含めたものを1チップ上に実現しており、半導体メモリを高価なものとしている。

【0010】また前述のように、メモリのデータ1/Oのビット幅は8~16ビットまでのものしか実現されておらず、多ビット幅のデータ転送を必要とするシステムにおいては、小容量のメモリを多数個用いて多ビット幅データ1/Oを実現しており、大面積かつ高価なシステムとなっていた。

【0011】さらには、システムの小型化や高速化にもなって、メモリを含む複数のベアチップを同一の基板に実装し、チップ間を最短の配線で結ぶことを目的とした、MCM技術の開発が盛んになっているが、このMCMに用いるメモリチップにおいても従来の図2の構成で製造された高価なメモリをそのまま用いており、メモリ1チップでのデータ1/Oビット幅が制限されているため、多ビット幅のデータ1/Oを実現するためには、小容量のメモリを多数個用いる必要があった。

【0012】また、メモリセルの記憶データ保持特性やアクセスタイムの高速化のため、DRAMにおいては半導体基板を負電位に設定しており、この負電位はDRAMチップに集積された基板電位発生回路20により発生される。一方ロジックLSIは通常、半導体基板は接地される構成となるため、ロジックLSIに比べDRAMの半導体基板のインピーダンスが高くなり、ラッチアップやサージ耐性が低くなってしまう。このため、大面積の入力サージ保護を必要とするとともに、微細化プロセス技術を用いるDRAMにおいては、メモリセル領域のみの基板を負電位とする3重ウェル構造プロセスなどを必要とし、DRAMをより高価なものとしている。

【0013】さらには、メモリを用いるシステムにおいては、DRAMのみならずSRAM、EEPROM、フラッシュメモリ等の複数種類のメモリを用いる場合が多く、これらのメモリはすべてメモリセルと同一チップ上に周辺回路を搭載しており、同様の動作をする回路をすべてのメモリチップが持つことになる。

【0014】本発明は上記事情に鑑みてなされたものであり、本発明の目的とするところは、高い機能を持つ半導体装置を低価格で提供することにある。

【0015】

【課題を解決するための手段】本発明の半導体装置は、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックを含む複数の回路ブロックを備えた半導体装置であって、該第1回路ブロックは、第1の半導体チップ上に形成されており、該第2回路ブロックは、第2の半導体チップ上に形成されており、しかも、該第1回路ブロックに電気的に接続されており、そのことにより上記目的が達成される。

【0016】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値( $V_t$ )、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

【0017】前記第1回路ブロックは、複数のメモリセルを有するメモリセルブロックであり、前記第2回路ブロックは、該メモリセルブロックの選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックであってもよい。

【0018】前記第1回路ブロックは、CPUコアであり、前記第2回路ブロックは、周辺回路ブロックであってもよい。

【0019】本発明の半導体装置の製造方法は、一つの半導体チップ上に集積され得る回路を、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックに分離する工程と、該第1回路ブロックを第1の半導体チップ上に形成する工程と、該第2回路ブロックを第2の半導体チップ上に形成する工程と、該第1回路ブロックと該第2回路ブロックとを電気的に接続する工程とを包含し、そのことにより上記目的が達成される。

【0020】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値( $V_t$ )、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

【0021】前記第1回路ブロックは、複数のメモリセルを有するメモリセルブロックであり、前記第2回路ブ

ロックは、該メモリセルブロックの選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックであってもよい。

【0022】前記第1回路ブロックは、CPUコアであり、前記第2回路ブロックは、周辺回路ブロックであってもよい。

【0023】本発明の他の半導体装置は、一つの半導体チップ上に集積され得る回路が、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックに分離された半導体装置であって、該第1回路ブロックは第1の半導体チップ上に形成され、該第2回路ブロックは第2の半導体チップ上に形成されており、該第1回路ブロックと該第2回路ブロックとが電気的に接続されており、そのことにより上記目的が達成される。

【0024】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値 ( $V_t$ )、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイCMOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

【0025】本発明の更に他の半導体装置は、少なくとも第1の機能を果たすための複数の回路ブロックを有する第1回路部と、該第1の機能とは異なる第2の機能を果たすための回路ブロックを有する第2回路部とを備えた半導体装置であって、該第1回路部の該複数の回路ブロックのうち、少なくとも一つの回路ブロックは、該第2回路部の回路ブロックとともに、第1の半導体チップ上に形成されており、該第1回路部の残りの回路ブロックは、該第1の半導体チップとは異なる第2の半導体チップ上に形成され、しかも、該第2の半導体チップ上に形成された回路ブロックに電気的に接続されており、該第1半導体チップ上に形成された該第1回路部の回路ブロックに関するブロックパラメータは、該第2半導体チップ上に形成された該第1回路部の他の回路ブロックに関するブロックパラメータよりも、該第2回路部の回路ブロックに関するブロックパラメータに近く、そのことにより上記目的が達成される。

【0026】前記第1回路部は、前記第1の機能を果たす複数の回路ブロックとして、少なくともメモリセルブロックとメモリ周辺回路ブロックとを有しており、前記第2回路部は、前記第2の機能を果たす回路ブロックとして、信号処理回路を有しており、該信号処理回路と該メモリ周辺回路ブロックとが、前記第1半導体チップ上に形成され、該メモリセルブロックが前記第2半導体チップ上に形成されていてもよい。

【0027】前記ブロックパラメータは、動作クロック周波数、設計ルール、トランジスタの閾値 ( $V_t$ )、電源電圧、デジタル回路かアナログ回路かの相違、通常のMOS回路かCMOS回路かバイポーラ回路かバイC

MOS回路かの相違、ROMかRAMかの相違、ロジックかメモリかの相違からなる群から選択されたパラメータである。

【0028】本発明のメモリ周辺回路部チップは、メモリセルアレイを含む他の半導体メモリコアチップに対して信号の送受信を行うための入出力端子と、与えられるアドレスによって、該半導体メモリコアチップ内の該メモリセルアレイのうちのメモリセルを指定し、該メモリセルへのデータ読み出しまたは書き込みをおこなうメモリ周辺回路とを備え、そのことにより上記目的が達成される。

【0029】本発明のメモリコアチップは、メモリ周辺回路を含む他の半導体チップに対して信号の送受信を行うための入出力端子と、メモリセルアレイとを備え、与えられるアドレスによって、該半導体チップの該メモリ周辺回路からメモリセルを指定され、該メモリセルへのデータ読み出しまたは書き込みをおこない、そのことにより上記目的が達成される。

【0030】本発明の半導体メモリ装置は、第1の半導体製造プロセスを用いて形成される少なくとも一つのメモリコア部チップと、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部チップと、該メモリコア部チップ及び該メモリ周辺回路部チップを接続する手段とを備え、そのことにより上記目的が達成される。

【0031】前記メモリコア部チップは、データを記憶するためのメモリセルを含み、前記メモリ周辺回路部チップは、与えられるアドレスにより該メモリコア部チップ内の該メモリセルを指定し、該メモリセルへのデータ読み出しまたは書き込みをおこなってもよい。

【0032】本発明の他の半導体メモリ装置は、第1の半導体製造プロセスを用いて形成される複数のメモリコア部チップと、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部チップと、該複数のメモリコア部チップ及び該メモリ周辺回路部チップを接続する手段とを備え、前記メモリコア部チップは、該メモリ周辺回路チップ内の少なくとも一部の回路を共有し、そのことにより上記目的が達成される。

【0033】本発明の更に他の半導体装置は、第1の半導体製造プロセスを用いて形成されるデータを記憶するためのメモリセルを含む少なくとも一つのメモリコア部チップと、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されるメモリ周辺回路部およびメモリコア部チップに記憶されるデータを用いて処理をおこなう信号処理回路を搭載する信号処理チップと、該メモリコア部チップ及び該信号処理チップを接続する手段とを備え、そのことにより上記目的が達成される。

【0034】前記メモリ周辺回路部は、与えられるアド

レスによって前記メモリコア部チップ内の前記メモリセルを指定し、該メモリセルへのデータ読み出しまたは書き込みをおこなってもよい。

【0035】前記メモリコア部チップは複数個あり、メモリ周辺回路チップ内の少なくとも一部の回路を共有する。

【0036】本発明の更に他の半導体装置は、メモリチップおよび信号処理チップがマルチチップ実装手段により実装された半導体装置であって、該メモリチップは、データを格納する複数のメモリセルを備えたメモリセルアレイ部と、与えられるアドレスにより該メモリセルアレイ内の該メモリセルを指定し、データを入出力するアクセス手段と、複数データを並列に入出力するためのデータ端子とを備えており、該信号処理チップは、複数データを並列に入出力するデータ端子を備えており、該メモリチップと該信号処理チップとの間で複数のデータを並列に転送する手段を備え、そのことにより上記目的が達成される。

【0037】前記メモリチップは、第1の半導体製造プロセスを用いて実現されており、前記信号処理チップは、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されている。

【0038】前記信号処理チップは、さらに複数の信号処理回路を備えていてもよい。

【0039】本発明の更に他の半導体装置は、メモリコア部チップおよび信号処理チップがマルチチップ実装手段により実装された半導体装置であって、該メモリコア部チップは、データを格納する複数のメモリセルを備えたメモリセルアレイと、複数データを並列に入出力するデータ端子を備えており、該信号処理チップは、与えられるアドレスにより該メモリコア部チップ内の該メモリセルを指定し、該メモリセルへのデータ読み出しまたは書き込みをおこない、複数データを並列に入出力するデータ端子および複数の信号処理回路を備えており、該メモリコア部チップと該信号処理チップとの間で複数のデータを並列に転送する手段を備え、そのことにより上記目的が達成される。

【0040】前記メモリコア部チップは、第1の半導体製造プロセスを用いて実現されており、前記信号処理チップは、該第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて形成されてもよい。

【0041】

【発明の実施の形態】本発明の半導体装置は、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックを含む複数の回路ブロックを備えており、第1回路ブロックは、第1の半導体チップ上に形成され、第2回路ブロックは、第2の半導体チップ上に形成されている。ここで、ブロックパラメータとは、動作クロック周波数、設計ルール、トランジスタの閾値( $V_t$ )、電源電圧、デジタル回路かアナログ回路かの相違、通常の

MOS回路かCMOS回路かバイポーラ回路かバイCMOS回路か等の相違である。ブロックパラメータとしては、ほかに、ROMかRAMかの相違、ロジックかメモリかの相違等の論理特性の相違も含まれる。

【0042】近年、大規模なシステムを一つの半導体チップ上に形成し、それによって、動作速度などの特性を向上させ、製造コストを低減しようとするシステムオンチップの考え方が主流になってきた。このようなシステムオンチップ型の半導体装置では、一つの半導体チップ上に複数の回路ブロックが集積されており、それら複数の回路ブロックが最適なレイアウトで配置されるように設計が行われている。集積される複数の回路ブロックは、ブロックパラメータが相互に異なる場合があるが、ひとつの半導体チップ上に集積することが最も好ましいと信じられてきた。本願発明者は、その常識にとらわれず、あえて、複数の回路ブロックを種々のパラメータに基づいて分類し、異なる半導体チップ上に配分すれば、かえって製造コストの低減などの効果が得られることを見いだした。

【0043】複数の回路ブロックの配分に際して重要な点は、各回路ブロックをどのような基準で分類し、各半導体チップ上に形成するかということである。その点を図4(a)～(c)を参照しながら以下に説明する。

【0044】図4(a)は、通常の機能的に分類された複数の回路ブロックを示し、図4(b)は、これらの回路ブロックを一つの半導体チップ上に集積した半導体装置のレイアウトを模式的に示している。図4(c)は、デジタルかアナログかというブロックパラメータに基づいて回路ブロックを2つのグループに分類し、各々を2つの異なる半導体チップ上に再配置した半導体装置のレイアウトを模式的に示している。

【0045】家庭用ゲーム器などに使用される画像処理システムは、図4(a)に示されるように、CPU、画像処理用LSI、及びNTSCエンコーダから構成されている。NTSCエンコーダは、論理回路(LOGIC)部とD/Aコンバータ(DAC)部を含んでおり、これらが全体として、NTSCエンコーダの機能を発揮するように動作する。LOGIC部は、RGBデジタル信号に基づいてDAC部の出力レベルを制御する。DAC部は、デジタル信号をデコードするデコーダ部分(DAC-DEC)と、デコーダ部分からの信号に応じてアナログ信号を出力する電流セルアレイ部分(DAC-ARRAY)とを含んでいる。デコーダ部分(DAC-DEC)はデジタル回路によって構成され、電流セルアレイ部分(DAC-ARRAY)はアナログ回路によって構成されている。この結果、NTSCエンコーダは、RGBデジタル信号からNTSCコンポジット信号を生成することができる。CPU、画像処理用LSI、及びNTSCエンコーダは、各々、別々の半導体チップ上に形成される。各半導体チップは、回路ブロックに



配置され、回路基板上の配線によって電氣的に接続される。回路基板上の配線で相互接続することは高速動作を阻害すると考えられるので、大規模LSI製造技術の発展と、CADを用いた設計支援ツールの充実によって、図4(a)のシステムは、図4(b)に示すように一つの半導体チップ上に集積されつつある。

【0046】本願発明によれば、デジタルかアナログかというブロックパラメータに基づいて、上記システムの回路ブロックを分類し、異なる半導体チップ上に配分する。具体的には、NTSCエンコーダの中のLOGIC部とDAC部中のデジタル動作を行う回路部分を、DAC部中のアナログ動作を行う回路部分から分離し、CPUブロック及びCGブロックとともに一つの半導体チップ（デジタル回路用）上に集積する。他方、NTSCエンコーダのDAC部のアナログ回路部分は、他の半導体チップ（アナログ回路用）上に形成する。このようにすることで、以下の効果が得られる。すなわち、NTSCエンコーダのDAC部のアナログ回路部分は、ノイズに敏感でノイズによる悪影響を受けやすい。このため、DAC部をデジタル回路によって形成されているLOGIC部と同一半導体チップ上に形成すれば、デジタル回路の動作に起因するノイズが半導体チップを介してDAC部に到達するおそれがある。NTSCエンコーダの持つ機能を達成するために必要な回路ブロックを上述のように2つの半導体チップ上に形成すれば、そのようなノイズによる問題を解決することができる。また、半導体製造プロセスによって、アナログ回路を形成する工程と、デジタル回路を形成する工程とは異なっており、それぞれのデザインルールも違う。このため、デジタル回路用の半導体チップとアナログ回路用の半導体チップとに分けて製造工程を行えば、それぞれの半導体チップを、最適なデザインルールで、しかも不要な工程を割愛した製造手順で作製できる。通常、デザインルールの厳しいプロセスは、一工程あたりのコストが相対的に高価であるので、緩いデザインルールに従って作製可能な回路ブロックを見つけ、その回路ブロックを他の半導体チップ上に分離すれば、製造コストは全体として低減できる。

【0047】このように複数の半導体チップに分離して回路ブロックを形成した後、それら複数の半導体チップから、MCMを形成する。MCMは、たとえば、図5

(a)～(c)に示すように2つのLSIチップを配置し、半田バンプによって相互接続することによって作製される。本発明の半導体装置が、従来のMCMと異なる点は、本発明の半導体装置が既存の複数の半導体チップを単純に組み合わせて一つのモジュールを形成するのではなく、複数の回路ブロックを有する一つのシステムを構築した後、特定のブロックパラメータが相互に共通するグループまたはブロックパラメータの近いグループごとに分離された半導体チップをモジュールに使用すること

にある。

【0048】他の実施形態では、複数のメモリセルを有するメモリセルブロックと、メモリセルブロック中の選択されたメモリセルにアクセスするためのメモリ周辺回路ブロックとを、異なる半導体チップ上に形成する。メモリセルブロックとメモリ周辺回路ブロックとは、デザインルール（最小寸法）が異なり、製造プロセスのシーケンスも異なる。しかし、これらのブロックは、DRAMとしての機能を発揮するためには、一つの半導体チップ上に集積されるべきであると信じられていた。本発明によれば、メモリセルブロックと周辺回路ブロックとをデザインルールというブロックパラメータを基準に分類し、異なる半導体チップ上に形成する。この発明については、後に実施例を詳細に説明する。

【0049】他の好ましい実施形態では、CPUコアと、周辺回路ブロックとを、別々の半導体チップ上に形成する。なお、ここで、CPUコアとは、少なくとも命令を解読し、制御動作を行う制御部と、算術論理演算を行う演算部を有しており、周辺装置の制御を行う回路である。

【0050】これらの複数のブロックの配分の仕方には、大きく分けて2つある。第1は、図6(a)に示すように、一つの機能を達成するための複数の回路ブロックAからCが一つの半導体チップ700上に形成されていた場合において、ブロックパラメータが他の回路ブロックと異なる回路ブロックを見つけだし、図6(b)に示すように、ブロックA及びBを半導体チップ710上に形成し、ブロックCを半導体チップ720上に形成するというものである。2つ半導体チップ710及び720は相互に接続される。

【0051】第2は、図7(a)に示すように、第1の機能を達成するための複数の回路ブロックA～Cが第1の半導体チップ800上に形成され、かつ、第2の機能を達成するための複数の回路ブロックD及びEが第2の半導体チップ810上に形成されていた場合において、図7(b)に示すようにブロックパラメータが他の回路ブロックA及びBと異なる回路ブロックCを見つけだし、他の半導体チップ830上に形成するというものである。残りの回路ブロックA及びBは、半導体チップ820上に形成する。2つ半導体チップ820及び830は相互に接続される。

【0052】以下に、図8を参照しながら、本発明による半導体装置の製造方法を説明する。

【0053】まず、図8に示す工程S1で、CADを用いてネットリストを決定し、ブロックパラメータの読み込みを行う。その後、回路ブロックについて階層展開を行う。次に、工程S2で、特定のブロックパラメータを基準に回路ブロックをグループ分けする。この後、工程S3で、ネットリストにグループ階層を追加する。これによって、回路ブロックの複数の半導体チップ上に割り

当てを完了する。

【0054】この後は、各半導体チップを製造するための公知の工程を行うことになる。具体的には、工程S4で、各半導体チップ上に形成する回路のレイアウトの決定を行い、工程S5でレイアウトの検証を行う。工程S6でマスクデータを作製し、工程S7でマスクを作製する。それらのマスクを用いて、工程S8及びS9で各半導体チップに回路を形成する。工程S8及びS9は、それぞれ、薄膜堆積やフォトリソグラフィ等の複数のサブ工程を含んでいる。

【0055】こうして形成された少なくとも2つの半導

パラメータ： デザインルール

体チップは、好ましくはMCM技術によって相互に接続され、一つの半導体装置を形成する。

【0056】次に、どのようなブロックパラメータに基づいて回路ブロックを分割すれば、どのような利点が得られるかを、下記表を用いて説明する。表1から表5は、回路ブロック分割の基準として選択するブロックパラメータをA欄に、第1の半導体チップ上に形成される回路名をB欄に、第2の半導体チップ上に形成される回路名をC欄に記載している。

【0057】

【表1】

	LSI 1	LSI 2
1	周辺回路	メモリコア
2	デジタル回路	アナログ回路
3	高速回路	低速回路
4	CMOS	バイポーラ
5	ユーザ回路	MCUコア
6	テスト回路	非テスト回路

【0058】

【表2】

パラメータ： 閾値 (Vt)

	LSI 1	LSI 2
1	高速回路	低速回路
2	周辺回路	メモリコア
3	デジタル	アナログ

【0059】

【表3】

パラメータ： 電源電圧

	LSI 1	LSI 2
1	周辺回路	メモリコア
2	ユーザ回路	MCUコア
3	ディジタル	アナログ
4	ユーザ回路	MCUコア

【0060】

【表4】

パラメータ： 動作周波数

	LSI 1	LSI 2
1	ユーザ回路	MCUコア
2	メモリ	MCUコア
3	高速回路	低速回路
4	テスト回路	非テスト回路

【0061】

【表5】

パラメータ：論理回路・特徴

	LSI 1	LSI 2
1	ユーザ回路	MCUコア
2	演算器(FPU)	MCUコア
3	メモリ	MCUコア
4	ユーザ回路	演算器(FPU)
5	ユーザ回路	メモリ
6	ディジタル	アナログ
7	CMOS	バイポーラ
8	テスト回路	非テスト回路

【0062】表1の第1行は、デザインルールを基準として、第1の半導体チップ上に行デコーダや列デコーダなどの周辺回路を形成し、第2の半導体チップ上に多数のメモリセルが配列されたメモリコア回路を形成した場合を示している。これらの半導体チップは相互接続され、一つの半導体メモリ装置を構成する。

【0063】表1に示す例によれば、製造コストを低減できる。デザインルールが異なる回路ブロックを一つの半導体チップ上に形成すると、デザインルールの比較的緩い回路ブロックまで、デザインルールの厳しい回路ブロックとともに形成される。

【0064】デザインルールの厳しい回路ブロックの製造には、相対的に高価な製造装置が必要であり、また、微細な構造の形成のために特殊な製造工程が余分に要求される場合が多い。デザインルールの相対的に緩い回路ブロックを、相対的に厳しい回路ブロックとは別の半導体チップ上に分けて形成すれば、その半導体チップは比較的安価の工程で簡単に形成され、また、製造歩留まりも向上する。その結果、2つの半導体チップから形成される半導体装置も、全体として、低いコストで歩留まり良く製造される。

【0065】表2に示す例によれば、低い消費電力で高速動作する半導体装置が得られる。一般に、高速動作が可能な半導体装置は、大きなリーク電流を生じやすいため、消費電力が大きい傾向がある。トランジスタの閾値が低い回路ブロックは、相対的に高い速度で動作するが、リーク電流が相対的に大きい。トランジスタの閾値に基いて、相対的に高速で動作させるべき回路ブロッ

クと、相対的に低速で動作させても良い回路ブロックに分離すれば、それぞれに適した製造プロセスによって各半導体チップを形成することができるので、低い消費電力で高速動作する半導体装置が比較的安価に形成できる。

【0066】表3の示す例によれば、各半導体チップ毎に最適な電源電圧を設定することができるので、表2の例と同様に、低い消費電力で高速動作する半導体装置が比較的安価に形成できる。一般に、超大規模集積回路(LSI)の動作速度は電源電圧に比例する。すなわち、電源電圧が低下すると、動作し得る最高の周波数が低くなる。他方、消費電力は電源電圧の2乗に比例する。同一の周波数で動作するLSIの場合、3ボルトの電源電圧で動作させるときの消費電力は、5ボルトの電源電圧で動作させる場合の消費電力の約40%になる。3ボルトでは50MHzの動作、2ボルトでは25MHzの動作が可能なMCUコア(マイクロ・コントローラ・ユニット・コア)を使用して、たとえば3ボルトで25MHzの動作を行う画像処理用MCUを形成した場合、この画像処理用MCUは、その動作周波数の割に高い電源電圧で動作することになる。これは、無駄な電力の消費を招く。MCUの動作には、2ボルトの電源電圧が好ましく、周辺回路の動作には3ボルトの電源電圧が好ましい場合がある。このような場合、MCUコアと周辺回路とを別々の半導体チップ上に形成し、各々の半導体チップには異なる電圧を供給すれば、半導体装置としては、最適な電源電圧のもとで高速低消費電力の動作が実現する。

【0067】表4に示す例によれば、製造コストを低減できる。相対的に高い動作周波数で動作する回路ブロックと相対的に低い動作周波数で動作する回路ブロックとは、異なる製造プロセスによって製造されるべき構造を持つため、別々の半導体チップ上にそれぞれの回路ブロックを形成すれば、製造コストが全体として低減される。また、表2に示す例から得られる効果も同様に得られる。

【0068】表5の第1行から第5行に示す例によれば、設計コストも含めた製造コストが低減される。表5の第1行から第5行の例では、2つの半導体チップのうち、一方の半導体チップ上の回路を汎用の機能を持つ回路ブロックで構成し、他方の半導体チップ上の回路の構成がユーザ毎に異なることを可能としている。このため、ユーザ毎に設計が異なり得る半導体チップは、種々の構成を持つように設計され、製造されことになるが、そのようにして製造された多種類の半導体チップに対して、汎用の半導体チップは共通に使用され得る。このため、複数の半導体装置を製造する場合や、設計変更が行われる場合に、製造コストが低減されるという利点が得られる。

【0069】表5の第6行に示す例によれば、ノイズによる性能の劣化が防止される。これについては、前述の通りである。また、表5の第7行及び第8行に示す例によれば、各半導体チップ上の回路が各々に最適な製造プロセスによって製造されることによって、製造コストが低減されるという効果がある。

【0070】（実施例1）以下に、本発明による半導体装置の第1の実施例を詳細に説明する。

【0071】図9に本実施例の半導体メモリの構成例を示す。図9は、DRAMの構成を示しており、各回路構成要素は図1と同一であって、それぞれに同一番号を付している。DRAM80はメモリア部チップ50とメモリ周辺回路部チップ60が異なる半導体チップで構成されている。メモリア部チップ50はメモリセルアレイ1と、このメモリセルアレイ1内のメモリセルと同一ピッチでレイアウトされるセンスアンプ4、コラムセクタ3、コラムデコーダ2、ワードドライバ6およびローデコーダ5より構成されており、このメモリア部チップ50への入出力信号としては、ローデコーダ5へのプリデコードアドレス入力信号XAi(27:0)55、コラムデコーダ2へのプリデコードアドレス入力信号YAi(23:0)52、コラムセクタ3へのデータ入出力信号Dco(7:0)51、基板電位入力VBB56、昇圧電位入力VPP55、セルプレート電位およびビット線プリチャージ電位入力VBP、VCP54および電源入力VCC57、VSS58、さらには図示されていない何本かの制御信号入力がある。

【0072】メモリ周辺回路部チップ60は、ローアド

ドレスカウンタ11、ローブリデコーダ8、コラムブリデコーダ7、データ入出力バッファ12、13、ライトアンプ14、リードアンプ15、RAS系CAS系クロック発生回路16、WE系クロック発生回路17、OE系クロック発生回路18および、昇圧電位発生回路19、基板電位発生回路20、1/2VCC発生回路21より構成され、このメモリ周辺回路部チップ60への入出力信号としては、DRAM80に対する外部信号としてアドレス入力信号A(10:0)32、データ入出力信号DQ(7:0)36、RAS入力信号30、CAS入力信号31、WE入力信号35、OE入力信号37および電源VCC33およびVSS34と、メモリア部チップ50との間の信号として、ローブリデコーダ8のプリデコードアドレス出力信号XAo(27:0)63、コラムブリデコーダ7のプリデコードアドレス出力信号YAo(23:0)62、データラインへのデータ入出力信号Dpe(7:0)61、基板電位発生回路出力VBB66、昇圧電位発生回路出力VPP65、1/2VCC発生回路出力VCP、VBP64、さらには図示されていない何本かの制御信号出力がある。

【0073】メモリア部チップ50とメモリ周辺回路部チップ60との間の必要な信号を接続することによりDRAM80は図1に示すDRAM95と同一の機能を実現する。

【0074】図10は、図9に示すようにメモリア部チップ50とメモリ周辺回路部チップ60に分割されたDRAM80におけるメモリア部チップ50のチップレイアウト例と、両チップの実装例を示すものである。メモリア部チップ50はDRAMプロセスを用いて製造されており、メモリセルアレイ1、センスアンプ3、コラムセクタ4、ローデコーダ6、およびワードドライバ5が配置されている。メモリセルアレイ1が4分割されたメモリプレートとローデコーダ6、およびワードドライバ5は図2と同一レイアウトであるが、コラムデコーダ2は左右のメモリプレートに対して共通に1個配置され、コラムデコーダ2の出力であるコラムセクタ選択信号は左右のメモリプレート内のコラムセクタに共通に配線されている。

【0075】メモリ周辺回路部チップ60は図9でのメモリ周辺回路部60に示す回路が配置され、論理LSIプロセス等のようにメモリア部チップ50の製造に用いるDRAMプロセスとは異なるプロセスで製造される。メモリ周辺回路部チップ60とメモリア部チップ50が共通基板81に実装され、両チップ間の接続をワイヤボンド配線82で接続することにより図9でのDRAM80を構成している。また、外部ピントの接続をおこなうためのパッド83はメモリ周辺回路部チップ60に配置されており、この図10に示すDRAM構成を従来のDRAMと同様のパッケージに実装し、メモリ周辺回路部チップ60に配置されたパッド形成部82中のパッド

ドと外部ピンを接続する。

【0076】ここで、メモリ周辺回路部チップ60とメモリコア部チップ50との間の接続信号本数は、図9に示す構成での16MビットDRAMにおいては約60本となり、図10に示すようなワイヤボンダ配線82を用いた接続により低価格で実現可能である。さらに本数の多いチップ間接続をおこなう場合には、配線基板を用い、バンパによりチップを基板に実装する方式等により容易に実現することができる。

【0077】このようなメモリ構成とすることにより、メモリコア部チップ50のみを高価なメモリプロセスを用いて製造し、メモリ周辺回路部チップ60の製造には安価な論理LSIプロセスを用いることが可能となるので、安価なDRAMを実現することができる。

【0078】また、DRAMの性能向上のため半導体基板を基板電位VBBとするのはメモリコア部チップ50だけでよく、メモリ周辺回路部チップ60の基板電位は論理LSIと同様に接地電位とすることができるとともに、パッケージの外部ピンに直接接続される回路素子はメモリ周辺回路部チップ60のみに存在することになるので、ラッチアップおよびサージ耐性を論理LSIと同様にすることができ、保護回路の面積を小さくすることができるとともに、微細化プロセスを用いるDRAMにおいても、ラッチアップおよびサージ対策を容易にすることができる。なお、図10に示すメモリコア部チップ50とメモリ周辺回路部チップ60のそれぞれには、図9に示すそれぞれの回路要素により構成されているが、どのような回路構成でメモリコア部チップ50とメモリ周辺回路部チップ60を製造するかは、メモリのブロック分割方式やチップ間の配線本数等に依存するものであり、最適な回路構成要素のメモリコア部チップ50とメモリ周辺回路部チップ60への割り振りは実現するメモリの要求仕様に応ずる。

【0079】また、これまでの説明においては、メモリ周辺回路部チップ60とメモリコア部チップ50を異なる半導体製造プロセスを用いて実現する、本発明による安価なDRAM実現手段について述べてきたが、DRAM以外のSRAM、EEPROM、フラッシュメモリ等の半導体メモリにおいても、図9および図10に示すメモリ実現手段を用いることにより同様の効果を達成することは容易に類推することができる。

【0080】（実施例2）図9および図10においては、1つのメモリコアを用いる場合のメモリ実現手段を示したが、メモリを用いるシステムにおいて、システムが必要とする容量のメモリを1チップで実現できない場合には、複数チップのメモリを用いてシステムを実現することになる。図11に、複数のメモリコアを用いる場合での、メモリコア部とメモリ周辺回路部を異なるチップで構成する本発明の半導体メモリにおける第2の構成例を示している。図11においては、メモリコア部エ...

を2個用いる場合の例を示している。121-1、121-2はそれぞれ、図9に示すメモリコア部チップと同一の要素回路を備えたメモリコア部チップであり、このメモリコア部チップ121-1、121-2の各入出力信号にはバッファ67～69を備えており、チップセレクト信号CS59-1、59-2により活性化されるよう制御される。122は周辺回路チップであり、2本のチップセレクト信号（CS1、CS2）38、39がチップを横切っている以外は図9に示す周辺回路チップと同一である。メモリコア部チップ121-1、121-2および周辺回路チップ122を基板に実装し、各チップ間を接続した例を図12に示す。メモリコア部チップ121-1、121-2および周辺回路チップ122は基板120に実装され、それぞれの信号パッドはワイヤボンダ82により基板120に接続されている。メモリコア部チップ121-1および121-2の信号線は基板上での配線131によりチップセレクト信号CSを除いて共通接続され、周辺回路チップ122と接続される。メモリコア部チップ121-1および121-2のチップセレクト信号CSはそれぞれ独立に周辺回路チップ122のチップセレクト信号（CS1、CS2）38、39と接続される。

【0081】外部よりメモリコア部チップ121-1にアクセスする場合には、RAS（30）、CAS（31）、WE（35）およびOE（37）に必要な信号を与えると同時にCS1（38）に選択信号を与え、メモリコア部チップ121-1の信号線バッファ67～69を活性化し、必要な信号をメモリコア部に与えアクセスをおこなう。このとき、CS2（39）には選択信号が与えられていないため、メモリコア部チップ121-2の信号線バッファ67～69は活性化されず、メモリコアへのアクセスはおこなわれない。したがって、メモリに対するアドレスの1ビットによりチップセレクト信号（CS1、CS2）を発生し、残りのアドレスをアドレス端子32に与えることにより、メモリコア部チップ121-1および121-2で構成される全メモリ空間に対するアクセスをおこなうことができる。

【0082】図11および図12においては、メモリコア部チップを2個用いた場合について説明してきたが、さらに多数のメモリコア部チップを用いる場合においても、メモリ周辺回路に与えるチップセレクト信号をメモリコア部チップの数だけ備えることにより同様の機能が実現できることは容易に理解することができる。

【0083】このように、図11および図12示す構成とすることにより、複数のメモリコア部チップを用いる場合に、メモリ周辺回路を共用することが可能となる。

【0084】以上述べてきたように、半導体メモリをメモリコア部チップとメモリ周辺回路部チップとに分割して製造し、実装手段により両チップを接続することにより、安価な半導体メモリを実現することができ...

【0085】（実施例3）メモリは信号処理LSI等の他のLSIと共に用いられシステムを構成しており、このようなメモリと信号処理LSIを含むシステムレベルでの最適な半導体装置実現手段を以下に説明する。

【0086】信号処理システムを実現するには、集積化された信号処理チップおよび半導体メモリは不可欠な存在となっている。したがって、信号処理システムは複数の信号処理チップおよび複数のメモリチップを組み合わせて実現されている。

【0087】一方、携帯機器等のシステムの小型化のための技術としてMCMによるベアチップ実装が盛んになってきている。MCMは、LSIチップをベアチップまま基板上に実装し、LSIチップ間を種々の方法を用いて接続するものである。

【0088】図13に半導体メモリと信号処理チップを用いたシステムでの本発明における半導体装置の第1の構成例を示しており、半導体メモリとしてはDRAMを用いた例としている。図13において、200は回路基板であり、DRAMコア部チップ201および信号処理チップ202が実装されている。DRAMコア部チップ201は図9でのメモリコア部50に示す回路構成となっており、メモリプロセスで製造される。信号処理チップ202は論理演算等をおこなう信号処理回路206とDRAM周辺回路部203および外部ピンとの接続をおこなうためのパッド形成部204を備えており、信号処理チップ202内の信号処理回路206は論理演算をおこなうものであり、DRAM周辺回路部203は図9でのメモリ周辺回路部60に示す回路構成となっているので、この信号処理チップ202は論理LSIプロセスで製造可能なチップである。このDRAM周辺回路部203とDRAMコア部チップ201の間の必要な接続はワイヤボンダ配線208で接続している。ここで、システムが必要とするメモリ容量が2Mバイトの場合には、DRAMコア部チップのメモリ容量は16Mビットとなり、現在の半導体製造技術においては1チップで実現可能である。信号処理回路206とメモリとの間でのデータ転送のビット幅を8ビットでおこなう場合には図10での説明のように、DRAM周辺回路部203とDRAMコア部チップ201との間の信号線接続本数は約70本となり、図で示すようなワイヤボンダでの接続で実現可能である。

【0089】このような構成においては、信号処理チップ202内の信号処理回路206がDRAMにアクセスする場合には、信号処理回路206は同一チップ内のDRAM周辺回路部203に対してアドレス、および制御信号を与えデータの入出力をおこなうことになる。

【0090】このような構成とすることにより、高価なプロセスを用いて実現されるDRAMコア部チップ201は、メモリセルのピッチでレイアウトされるメモリコア部のみとなり、DRAM周辺回路部202を信号処理

回路 206 と一緒にメモリプロセスに比べ安価な半導体製造プロセスで実現することができる。信号処理チップ 202 での信号処理回路 206 が大規模なものである場合には、信号処理チップ 202 は DRAM 周辺回路部 203 を含まない場合に比べチップサイズの増加の割合は極めて小さい。したがって、DRAM 周辺回路 203 を含めたことによる製造歩留まりの低下や、チップコストの上昇は同様に極めて小さく、安価なシステムを実現することができる。

【0091】前述のようにMCM技術を用いることにより、信号処理チップとメモリチップを多数の配線で接続することができるようになるので、このMCM技術を用いることにより、安価な構成で高性能な信号処理システムを実現することができる。

【0092】（実施例4）図14は半導体メモリと信号処理チップを用いた信号処理システムをMCM技術を用いて構成する本発明における半導体装置の第2の構成例を示している。図においては、半導体メモリとしてDRAMを用いるシステムの例を示している。信号処理チップ302は演算をおこなうCPUコア303を備えており、メモリとのアクセスの高速化のためにデータキャッシュメモリ304およびインストラクションメモリ305を備えている。CPUコア303からのデータキャッシュメモリ304およびインストラクションキャッシュメモリ305に対するアクセスがミスヒットの場合には、このデータキャッシュメモリ304およびインストラクションメモリ305内のブロックデータをDRAMチップ301のデータと置き換えるため、大量のデータをDRAMチップ301とデータキャッシュメモリ304およびインストラクションメモリ305との間で転送する必要がある。この転送時間がシステムの処理性能に影響するため、短時間で転送することが要求される。

【0093】ここで、システムが必要とするメモリ容量が2Mバイトの場合には、DRAMチップ301のメモリ容量は16Mビットであり、現在の半導体製造技術においては、1チップで実現可能な技術が確立されている。従来の16MビットDRAMでは、データ入出力ビット幅は前述のように、負荷容量駆動による消費電力およびノイズの増大等を考慮して、8～16ビット程度となっている。また、図3に示すパッケージされたDRAMのデータピン端子容量は前述のように5pF程度となり、信号処理LSIのデータピン端子容量も同程度の値となるので、図3に示す信号処理LSIとDRAMのプリント配線基板への実装では、信号処理LSIとDRAMが接続されるデータ線の容量としては、それぞれの端子容量およびプリント配線容量の合計として15pF程度となる。これに対して、図14に示す構成においては、MCMによる実装を前提としてそれぞれのチップを製造することができるので、信号処理LSIとDRAMのデータピンは、外部負荷容量が限定されるため出力

バッファのトランジスタサイズを大きくする必要がなく、また、外部ピンとは直接接続されることはないためサージ保護デバイスが不要となることにより、データピンの端子容量はそれぞれ1 pF程度とすることができ、したがって、信号処理LSIとDRAMが接続されるデータ線の容量は2 pF程度となるので、データピン数として60～120ビットとした場合においても、データピン容量駆動のための消費電力は図3での実装の場合と同一となる。

【0094】したがって、図14に示す構成とすることにより、信号処理チップ302とDRAMチップ301との間で高速のデータ転送をおこなうために、両チップには複数のデータ端子を有し、同時に複数データの転送をおこなうことが可能となり、前述のようにCPUコア303からのデータキャッシュメモリ304およびインストラクションメモリ305に対するアクセスがミスヒットの場合に、DRAMチップ301との間でデータの転送レートを大きくすることができるので、高性能のシステムを実現することができる。

【0095】このように、図14に示すようなMCM技術を用いたシステム構成でLSI実現においては、信号処理チップとメモリチップを多数の配線で接続することが可能となるので、信号処理チップ302およびDRAMチップ301のそれぞれに複数のデータ端子を設け、複数のデータを同時に転送することにより、高速のデータ転送を実現することができる。

【0096】（実施例5）このような、MCM技術を用いた複数データを同時転送が可能なシステムにおいて、低電圧・低消費電力動作を実現する本発明における半導体装置の第3のシステム構成例を以下に説明する。

【0097】図15は、本発明における半導体装置の第3の構成例を示すものであり、半導体メモリと信号処理LSIとの間の複数データ転送と、信号処理LSIでの並列処理を用いるシステムの構成例である。図においては、半導体メモリとしてDRAMを用いるシステムの例を示している。信号処理チップ402は並列処理をおこなうために2個のCPUコア403および404を備えているとともに、DRAMチップ401との間で複数データでのデータ転送をおこなうためにDRAMチップ401および信号処理チップ402のそれぞれは複数のデータ端子をそなえており、信号処理チップ402とDRAMチップ401との間を多数のワイヤボンダ配線406で接続している。

【0098】このような構成の信号処理システムにおいて、処理システムが8ビットのアーキテクチャであり、CPUコア403および404がそれぞれ8ビットの処理をおこなう場合において、DRAMチップ401との間でのデータ転送を16ビットでおこなうことにより、CPUコア403および404により2つのデータを同時に処理する状態が実現される。したがって、

図3に示す構成での信号処理LSIとDRAMとの8ビットデータ転送、信号処理LSIでの8ビット信号処理と比較して2倍の処理能力とすることができる。

【0099】また、図15に示すシステム構成において、図3でのシステム構成と同一の処理能力を実現する場合には、大幅に消費電力を低減することが可能となる。図16（a）および（b）には信号処理チップ402で用いられる論理ゲートでのゲート遅延の電源電圧依存性およびDRAMチップ401でのアクセスタイムの電源電圧依存性を示している。従来一般に用いられている電源電圧3.3Vでの遅延に対して、2倍の遅延となる電圧は論理ゲート（a）とDRAM（b）共に約1.9Vである。したがって、DRAMチップ401とのデータ転送を2ワードでおこない、2個のCPUコア403および404による並列信号処理をおこなう信号処理チップ402による図15に示したシステム構成によれば、1.9Vの電源電圧を用いて3.3V動作での図3に示すシステム構成と同一の処理性能を実現することができる。

【0100】図17には図15で示す本発明の半導体装置における第3のシステム構成例と従来のシステム構成の比較を示している。図において、システム構成1のディスクリットは図3に示すようなパッケージされたメモリおよび信号処理LSIをプリント基板上に実装するもの、システム構成2の汎用チップMCMは従来のメモリチップと信号処理チップを用いてMCM技術により実装したシステムであり、システム構成3の本発明は図15に示す本発明の半導体装置における第3のシステム構成例である。特徴的なことは、システム構成3では信号処理チップとメモリとの間のデータ転送を複数データ同時におこない、並列処理をおこなっており、システム構成1およびシステム構成2では20MHzで動作しているのに対して、システム構成3では10MHzで動作している。しかしながら、システム構成3では並列動作をおこなっているため、システム構成1およびシステム構成2と同一のシステム性能を実現している。したがって、システム構成1およびシステム構成2は電源電圧3.3Vで動作しているが、システム構成3は1.9Vで動作可能である。これにより、消費電力はシステム構成1およびシステム構成2は、約1Wであるのに対してシステム構成3は約250mWで動作することになり、約1/4の電力で同一性能を実現している。

【0101】このように、本発明のMCM技術を用いた複数データの転送と並列処理を用いることにより、低電圧・低消費電力のシステムを実現することができる。

【0102】（実施例6）図18は、MCM技術を用いた複数データの転送と並列処理を用いるシステムを低価格で実現する、本発明における半導体装置の第4の構成例を示すものである。図はMCM技術を用いて構成されたDRAMとフリップフロップメモリとが信号処理チップと



用いた携帯情報端末等のシステムの構成例を示している。信号処理チップ102、DRAMコア部チップ101およびフラッシュメモリコア部チップ103が共通基板100に実装されており、信号処理チップ102は並列処理をおこなうために2個のCPUコア107および108を備えているとともに、DRAM周辺回路部104およびフラッシュメモリ周辺回路部105を備えている。さらに、信号処理チップ102とDRAMコア部チップ101およびフラッシュメモリコア部チップ103との間で複数データでのデータ転送をおこなうために、DRAMコア部チップ101、フラッシュメモリコア部チップ103および信号処理チップ102内のDRAM周辺回路部104とフラッシュメモリ周辺回路部105のそれぞれは複数のデータ端子をそなえており、信号処理チップ102とDRAMコア部チップ101およびフラッシュメモリコア部チップ103との間を多数のワイヤボンダ配線110および111で接続している。

【0103】このような構成とすることにより、図15～図17で説明したように、MCM技術を用いた複数データの転送と並列処理を用いることにより、低電圧・低消費電力のシステムを実現することができるとともに、図13での説明と同様に、高価な半導体製造プロセスを用いて実現されるDRAMコア部チップ101およびフラッシュメモリコア部チップ103は、メモリセルのピッチでレイアウトされるメモリコア部のみとすることができ、DRAM周辺回路部104およびフラッシュメモリ周辺回路部105を信号処理回路106やCPUコア107および108と同一チップ上にメモリプロセスに比べ安価な論理LSIプロセス等の半導体製造プロセスで実現することができるので、低電圧・低消費電力のシステムを安価に実現することが可能となる。

【0104】図11および図12で説明したように、同一構成のメモリコア部チップを複数個用いる場合には、メモリ周辺回路を共有することが可能である。同様に、図18に示すMCM技術を用いた半導体装置において、DRAMコアチップ101とフラッシュメモリコア部チップ103のワード構成を同一とすることにより図19(a)に示すように、DRAMコアチップとフラッシュメモリコア部チップのメモリ周辺回路を共有することが可能となる。図19(a)において、501はDRAMコアチップ、503はフラッシュメモリコア部チップ、502は信号処理チップであり、信号処理チップ502は信号処理回路506、CPUコア507および508、メモリ周辺回路504を備えている。

【0105】メモリ周辺回路504の詳細構成を図19(b)に示している。DRAMコアチップ501とフラッシュメモリコア部チップ503は異なる制御となっているため、メモリ周辺回路504はDRAM制御回路520およびフラッシュメモリ制御回路523を備えており、DRAM制御回路520はRAS信号及びCAS信号

号を基に制御され、フラッシュメモリ制御回路523はチップイネーブル信号(CE)を基に制御されている。図9におけるコラムアドレスバッファ9、ローダバッファ10、ローダレスカウンタ11、コラムプリデコーダ7及びロープリデコーダ8から成るアドレス系回路521と、データ入力バッファ12、データ出力バッファ13、ライトアンプ14およびリードアンプ15から成るデータ系回路522はDRAMコアチップ501およびフラッシュメモリコア部チップ503により共有される。

【0106】DRAMコアチップ501、信号処理チップ502、フラッシュメモリコア部チップ503は基板500上に実装され、各チップ間を繋ぐための信号端子はワイヤボンダ510により基板500にボンディングされ、基板500上の配線511～513により各チップ間が接続されている。メモリ周辺回路504の信号端子の内、DRAMコア制御信号は配線511によりDRAMコアチップ501に接続され、フラッシュメモリ制御信号は配線512によりフラッシュメモリコア部チップ503に接続され、アドレス系及びデータ系信号は配線513によりDRAMコアチップ501およびフラッシュメモリコア部チップ503に接続される。

【0107】信号処理チップ502がDRAMコアチップ501からデータを読み出す場合には、信号処理回路506によりRAS、CASおよびOE信号が発生され、アドレスとともにメモリ周辺回路504へ与えられる。メモリ周辺回路504はRAS、CASおよびOE信号を基にDRAM制御回路520によりDRAMコア制御信号を発生するとともに、アドレス系回路521によりプリデコードアドレスを発生しDRAMコアチップ501へ与えることにより、DRAMコアからデータを読み出し、データ系回路522を介して信号処理回路506へ出力する。このときフラッシュメモリ制御回路523はCEが与えられていないため、フラッシュメモリ制御信号は発生されず、フラッシュメモリコア部チップ503は待機状態のままである。信号処理チップ502がフラッシュメモリコア部チップ503からデータを読み出す場合には、信号処理回路506によりCEおよびOE信号が発生され、アドレスとともにメモリ周辺回路504へ与えられる。メモリ周辺回路504はCEおよびOE信号を基にフラッシュメモリ制御回路523によりフラッシュメモリコア制御信号を発生するとともに、アドレス系回路521によりプリデコードアドレスを発生しフラッシュメモリコア部チップ503へ与えることにより、フラッシュメモリコアからデータを読み出し、データ系回路522を介して信号処理回路506へ出力する。このときDRAM制御回路520はRASおよびCASが与えられていないため、DRAM制御信号は発生されず、DRAMコアチップ501は待機状態のままである。信号処理チップ502からDRAMコアチップ

501またはフラッシュメモリコア部チップ503へのデータ書き込みも同様に、RAS及びCASまたはCE信号のいずれかをメモリ周辺回路504へ与えることにより、DRAMコアチップ501またはフラッシュメモリコア部チップ503のいずれか一方のみに書き込むことが可能である。

【0108】図19においては、DRAMコアチップ501およびフラッシュメモリコア部チップ503のメモリコア部のワード構成を同一とした場合について説明したが、ワード構成が異なる場合においてもアドレス系回路521内のコラムアドレスバッファ、ローアドレスバッファ、コラムプリデコーダおよびロープリデコーダの一部や、データ系回路522内のデータ入力バッファ、データ出力バッファ、リードアンプ、およびライトアンプの一部を共有することが可能であることは容易に理解できる。

【0109】このように、異なる種類のメモリを複数用いる場合においても、メモリコア部とメモリ周辺回路部を異なるチップで実現することにより、メモリ周辺回路の一部を共有することが可能となる。

【0110】上記実施例では、DRAMについて本発明を説明してきたが、最初に述べたように、本発明はDRAMに限定されるものではない。DRAMについて、実施例を詳細に説明したのは、DRAMのメモリコア部とメモリ周辺回路部とが同一の半導体チップ上に形成されるべきであるとの常識が強くあったため、このメモリコア部とメモリ周辺回路部と異なる半導体チップに形成するという実施例の説明が発明の特徴を表現するのに最も適しているからである。また、本発明はMCMに限定されない。

【0111】以下に、複数の半導体チップに回路ブロックを分ける方法を、図面を参照しながら説明する。

【0112】図20(a)及び(b)は、一般的な制御用MCU902及び画像処理用MCU903の構成を示すブロック図である。

【0113】まず、制御用MCU902の回路情報と各構成ブロックの特徴を示すブロックパラメータを抽出し、CADに読み込む。次に、グループ化が可能になるまで、ブロックの階層展開を行う。たとえば、LSI0を、MCUコア、シリアルI/F、ROM、RAM、タイマー、割込制御、D/A、A/Dの各回路ブロックに展開する。

【0114】次に、「MCUコア」か「周辺回路」かの相違をパラメータとして、階層展開された回路ブロックをグループ化する。

【0115】この例の場合、LSI1のグループとして、MCUコアの回路ブロックが選択され、LSI2のグループとしてシリアルI/F、ROM、RAM、タイマー、割込制御、D/A、A/Dの回路ブロックが選択され、その結果、階層LSI1及びLSI2が生成されることになる。

ることになる。

【0116】同様の手順で、画像処理用MCUについて、階層LSI1及びLSI2を生成することができる。

【0117】図21(a)は、制御用MCU902及び画像処理用MCU903から、MCUコア905と周辺回路904を分離した状態を模式的に示しており、図21(b)は、MCUコア用チップ905と周辺回路用チップ904とがMCM技術で接続された半導体装置の断面を模式的に示している。

【0118】図22(a)は、グループ化に際して、LSI1のグループとして、MCUコア、ROM、及びRAMの回路ブロックが選択され、LSI2のグループとしてシリアルI/F、タイマー、割込制御、D/A、及びA/Dの回路ブロックが選択された場合を示している。図21(b)は、MCUコアと共通部のためのチップ908と周辺回路用チップ907(909)とがMCM技術で接続された半導体装置の断面を模式的に示している。

【0119】こうして、「MCUコアチップ」または「MCUコアと共通部のためのチップ」と、周辺回路チップとに回路を分割することによって、以下のような利点がある。

【0120】すなわち、2種類のMCUに共通する回路ブロックを一つの半導体チップ上に形成すると、全体として、2つのチップから形成される半導体装置の回路面積が縮小し、製造歩留まりも向上する。また、MCUを新規に設計したり、設計変更を行う場合に、MCUコアの設計は変更することなく、比較的、小規模な周辺回路のみを新たに設計したり、または設計変更すれば足りる。また、新規に設計された周辺回路のテストだけを行えば良いので、テスト用回路を新たに設ける必要もなくなる。このため、半導体装置の全体としての開発コストが低減される。

【0121】

【発明の効果】本発明によれば、ブロックパラメータの異なる第1回路ブロック及び第2回路ブロックを各々異なる半導体チップ上に形成し、それらを電氣的に接続することによって、異なるブロックパラメータを持つ回路ブロックから構成される回路を一つの半導体チップ上に集積することから生じる種々の問題を解決することが出来る。

【0122】特に、第1の半導体製造プロセスを用いて実現されるメモリコア部チップと、第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されるメモリ周辺回路部チップに分離することによって、メモリコア部チップのみを高価なメモリプロセスを用いて製造し、メモリ周辺回路部チップの製造には安価な論理LSIプロセスを用いることが可能となるので、半導体メモリの低価格化に有効である。

【0123】更に、高価なプロセスを用いて実現されるメモリコア部チップは、メモリセルのピッチでレイアウトされるメモリコア部のみとすることができ、メモリ周辺回路部を信号処理回路一緒にメモリプロセスに比べ安価な半導体製造プロセスで実現することができる。このため、信号処理チップでの信号処理回路が大規模なものである場合には、信号処理チップはメモリ周辺回路部を含まない場合に比べチップサイズの増加の割合は極めて小さくなり、メモリ周辺回路部を含めたことによる製造歩留まりの低下や、チップコストの上昇は同様に極めて小さいため、システムを構成する半導体装置の低価格化に有効である。

【0124】第1の半導体製造プロセスを用いて実現されるデータを記憶するためのメモリセルを含むメモリコア部チップと、第1の半導体製造プロセスとは異なる第2の半導体製造プロセスを用いて実現されるメモリ周辺回路部およびメモリコア部チップに記憶されるデータを用いて処理をおこなう信号処理回路を搭載する信号処理チップとを接続することによって、信号処理チップとメモリチップとの間で高速のデータ転送が可能となり、システムの高性能化に有効である。更に、複数データの転送と並列処理を用いることにより、システムの低電圧・低消費電力化に極めて有効であるとともに、低価格においても有効となる。

【図面の簡単な説明】

【図1】従来DRAMの回路構成例である。

【図2】図1におけるDRAMのレイアウト例である。

【図3】半導体メモリを用いる従来システム構成例を示す図である。

【図4】(a)は、通常の機能的に分類された複数の回路ブロックを示し、(b)は、これらの回路ブロックを一つの半導体チップ上に集積した半導体装置のレイアウトを模式的に示し、(c)は、デジタルかアナログかというブロックパラメータに基づいて回路ブロックを2つのグループに分類し、各々を2つの異なる半導体チップ上に再配置した半導体装置のレイアウトを模式的に示す図である。

【図5】(a)は、MCMの平面図、(b)は、その断面図、(c)は、その斜視図である。

【図6】(a)及び(b)は、複数のブロックの配分の第1の仕方を説明する平面図である。

【図7】(a)及び(b)は、複数のブロックの配分の第2の仕方を説明する平面図である。

【図8】本発明による半導体装置の製造方法を示すフローチャートである。

【図9】本発明における半導体メモリの第1の構成例である。

【図10】図9における半導体メモリのレイアウト例である。

【図11】本発明における半導体メモリの第2の構成例

である。

【図12】図11における半導体メモリの実装例である。

【図13】本発明の半導体装置の第1の構成例である。

【図14】本発明の半導体装置の第2の構成例である。

【図15】本発明の半導体装置の第3の構成例である。

【図16】論理ゲート遅延時間およびDRAMアクセスタイムの電源電圧依存特性を示す図である。

【図17】システム構成例による諸性能比較を示す図である。

【図18】本発明の半導体装置の第4の構成例である。

【図19】本発明における半導体装置の第5の構成例である。

【図20】(a)は、制御用マイコンの構成を模式的に示す図、(b)は、画像処理用マイコンの構成を模式的に示す図である。

【図21】(a)は、制御用マイコンと画像処理用マイコンについて、回路ブロックの分割を説明するための図、(b)は、分割された回路ブロックの形成された2つの半導体チップの接続を模式的に示す断面図である。

【図22】(a)は、制御用マイコンと画像処理用マイコンについて、回路ブロックの分割を説明するための図、(b)は、分割された回路ブロックの形成された2つの半導体チップの接続を模式的に示す断面図である。

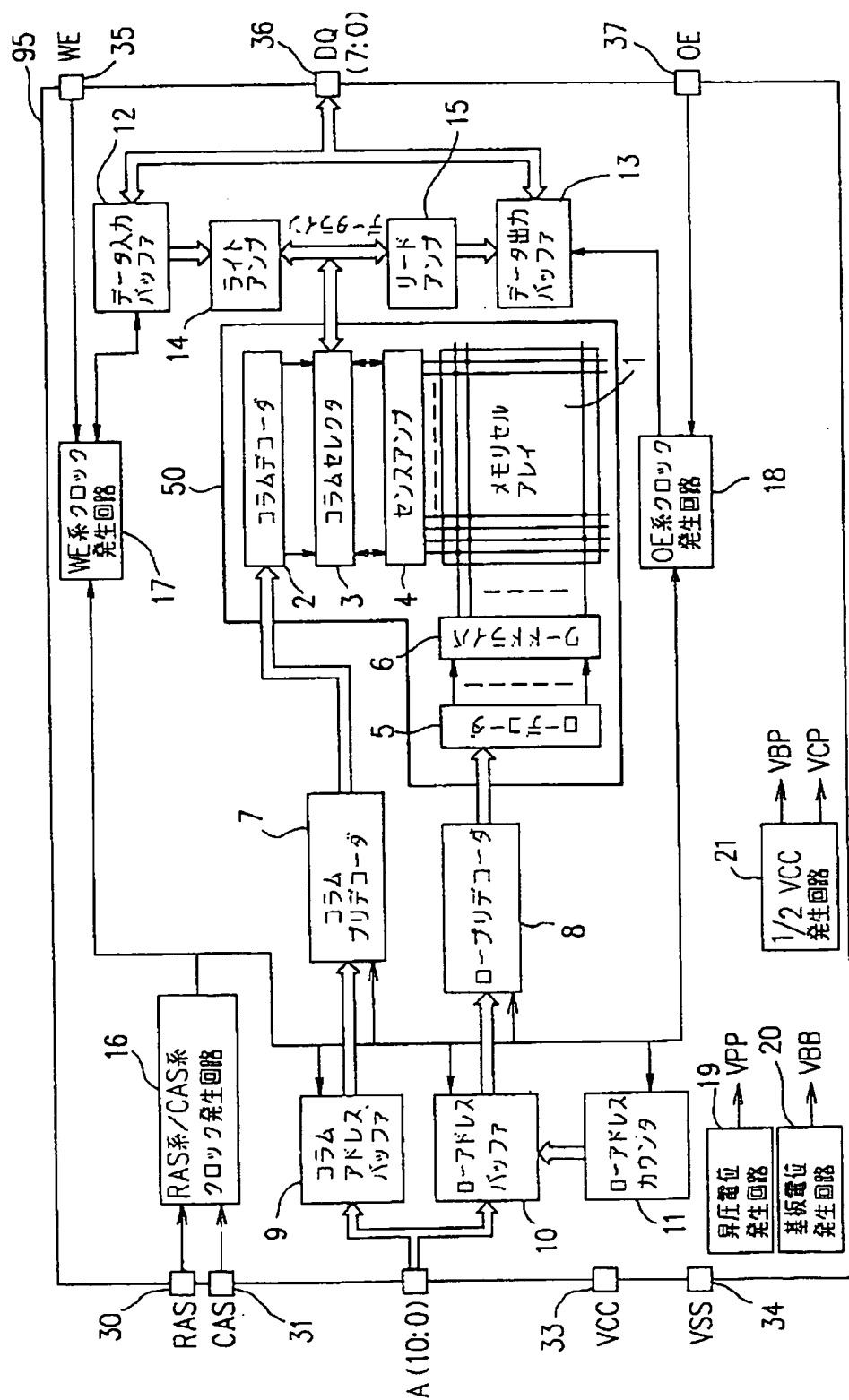
【符号の説明】

- 1・・・メモリセルアレイ、
- 2・・・コラムデコーダ、
- 3・・・コラムセクタ、
- 4・・・センスアンプ、
- 5・・・ローデコーダ、
- 6・・・ワードラインドライバ、
- 7・・・コラムプリデコーダ、
- 8・・・ロープリデコーダ、
- 9・・・コラムアドレスバッファ、
- 10・・・ローアドレスバッファ、
- 11・・・ローアドレスカウンタ、
- 12・・・データ入力バッファ、
- 13・・・データ出力バッファ、
- 14・・・ライトアンプ、
- 15・・・リードアンプ、
- 16・・・RAS系/CAS系クロック発生回路、
- 17・・・WE系クロック発生回路、
- 18・・・OE系クロック発生回路、
- 19・・・昇圧電位発生回路、
- 20・・・基板電位発生回路、
- 21・・・1/2VCC電位発生回路、
- 30・・・RAS信号入力端子、
- 31・・・CAS信号入力端子、
- 22・・・アドレス入力端子

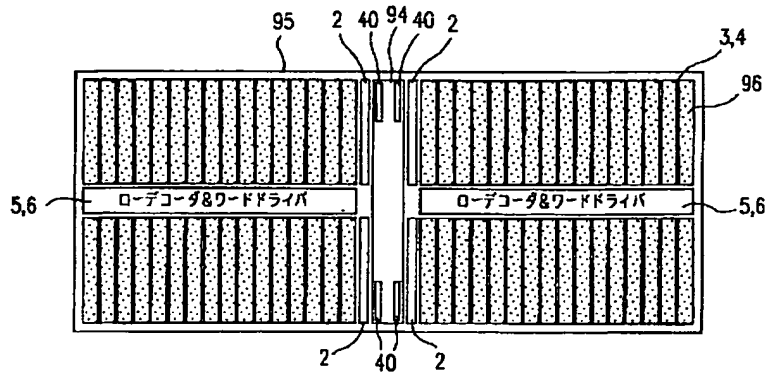
33……VCC端子、  
35……WE信号入力端子、  
36……データ入出力端子、  
37……OE信号入力端子、  
38……CS1信号入力端子、  
39……CS2信号入力端子、  
40……パッド、  
50……DRAMコア部、  
51……データ入出力端子、  
52……コラムプリデコーダ入力、  
53……ロープリデコーダ入力、  
54……VBP/VCP端子、  
55……VPP端子、  
56……VBB端子、  
57……VCC端子、  
60……DRAM周辺回路部、  
61……データ入出力端子、  
62……コラムプリデコーダ出力、  
63……ロープリデコーダ出力、  
64……VBP/VCP端子、  
65……VPP端子、  
66……VBB端子、  
67、68、69……信号線バッファ、  
70……プリント配線基板、  
71……信号処理LSI、  
72……DRAM、  
73……プリント配線、  
81……ワイヤボンダ配線、  
83……パッド、  
94……DRAM周辺回路部、  
95……DRAM、  
100……基板、  
101……DRAMコア部チップ、  
102……信号処理チップ、  
103……フラッシュメモリコア部チップ、  
104……DRAM周辺回路部、  
105……フラッシュメモリ周辺回路部、  
106……信号処理回路、

107、108……CPUコア、  
109……パッド、  
110、111……ワイヤボンダ配線、  
120……基板、  
122……メモリ周辺回路部チップ、  
131……基板配線、  
200……基板、  
201……DRAMコア部チップ、  
202……信号処理チップ、  
203……DRAM周辺回路部、  
204……パッド、  
300……基板、  
301……DRAMチップ、  
302……信号処理チップ、  
303……CPUコア、  
304……データキャッシュ、  
305……インストラクションキャッシュ、  
306……パッド、  
307……ワイヤボンダ配線、  
400……基板、  
401……DRAMチップ、  
402……信号処理チップ、  
403、404……CPUコア、  
405……パッド、  
406……ワイヤボンダ配線、  
500……基板、  
501……DRAMコア部チップ、  
502……信号処理チップ、  
503……フラッシュメモリコア部チップ、  
504……メモリ周辺回路部、  
506……信号処理回路、  
507、508……CPUコア、  
510……ワイヤボンダ配線、  
511、512、513……基板配線、  
520……DRAM制御回路、  
521……アドレス系回路、  
522……データ系回路、  
523……フラッシュメモリ制御回路。

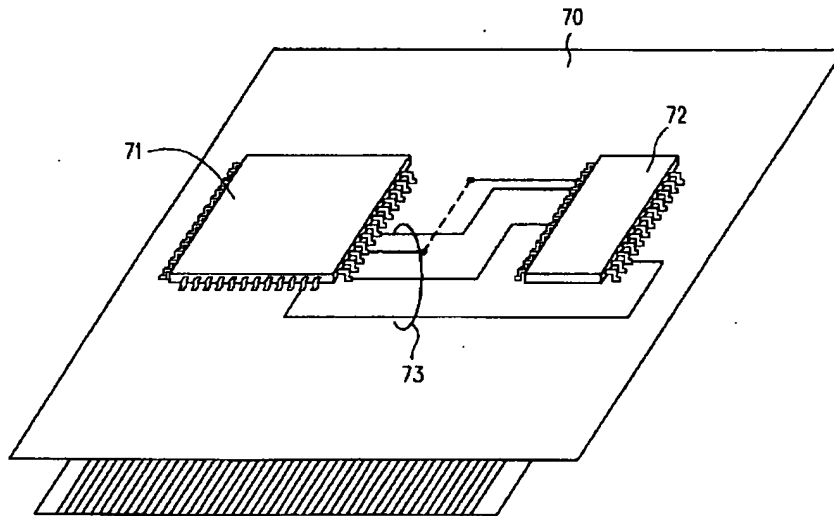
【図 1】



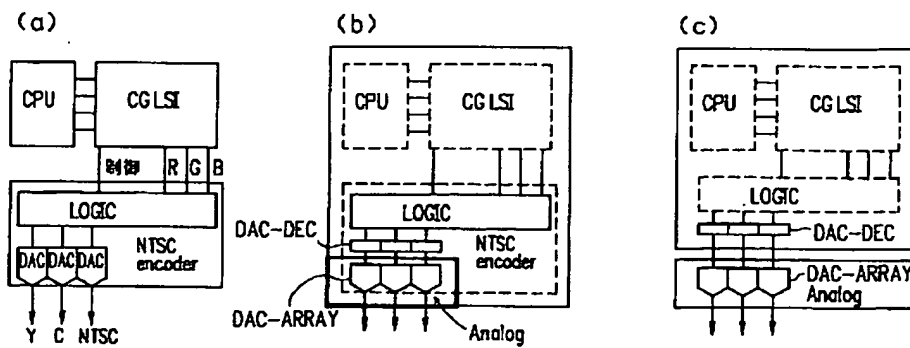
【図2】



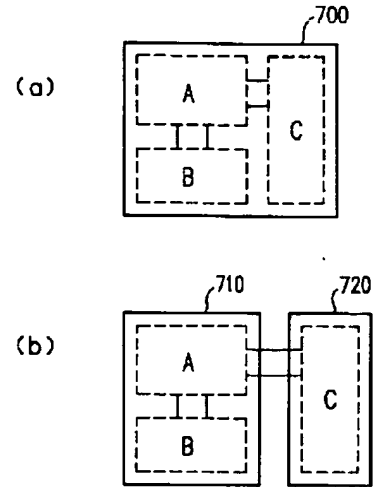
【図3】



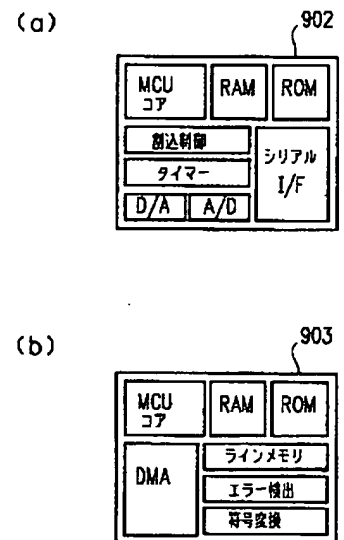
【図4】



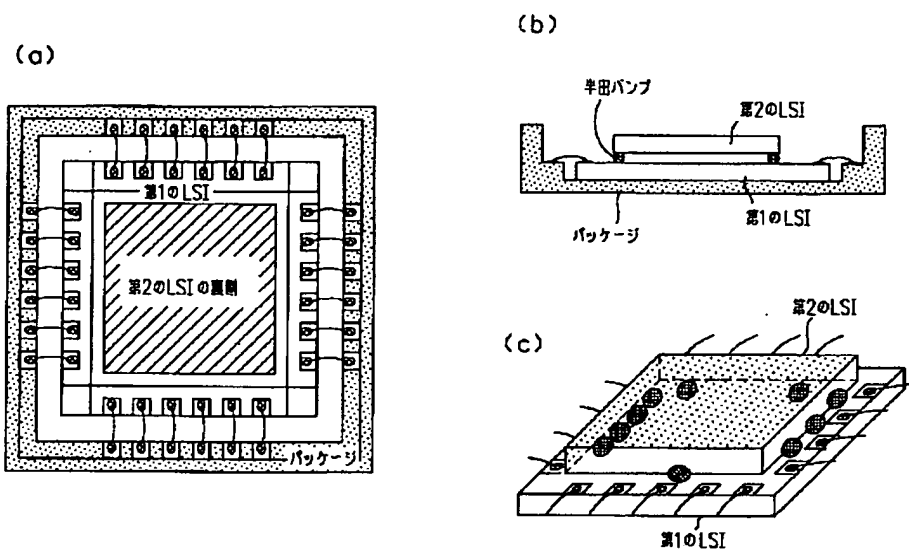
【図6】



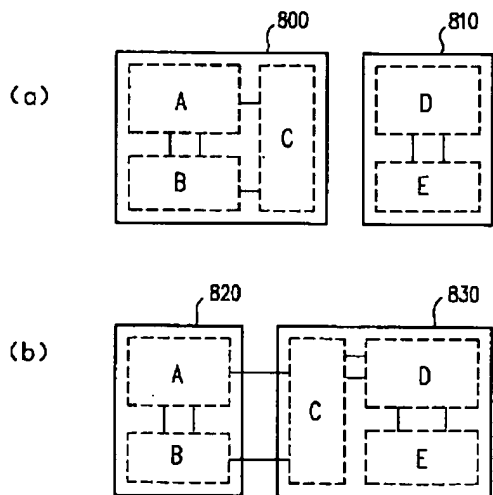
【図20】



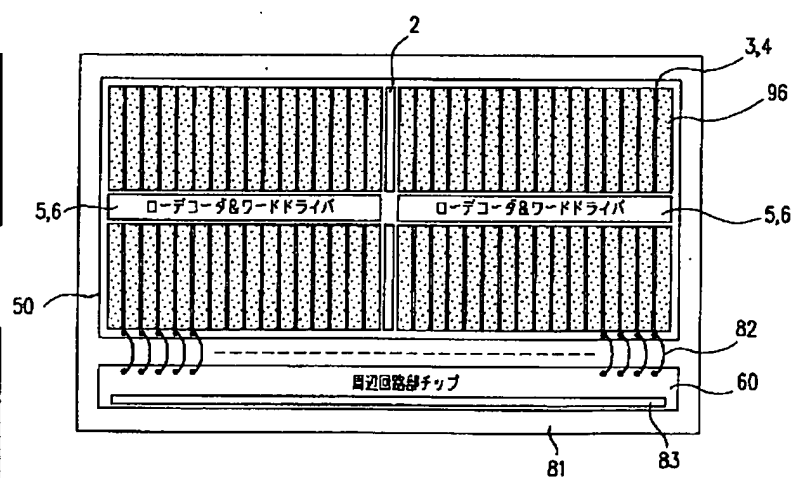
【図5】



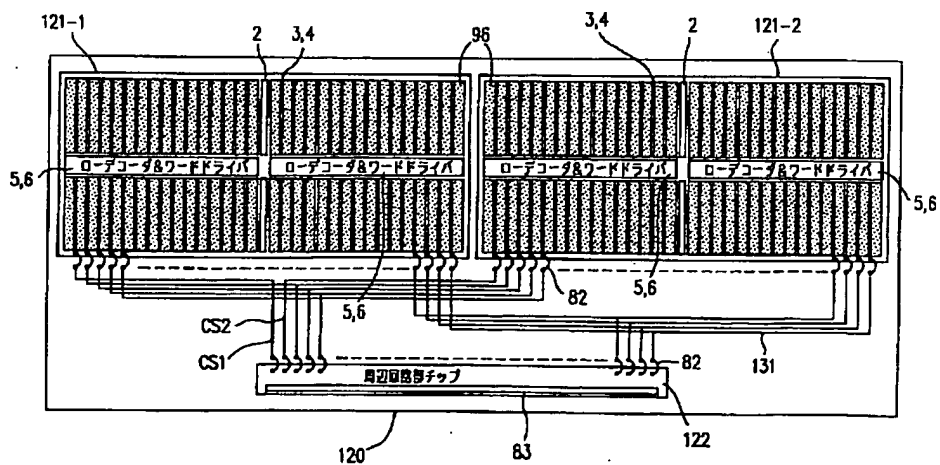
【図7】



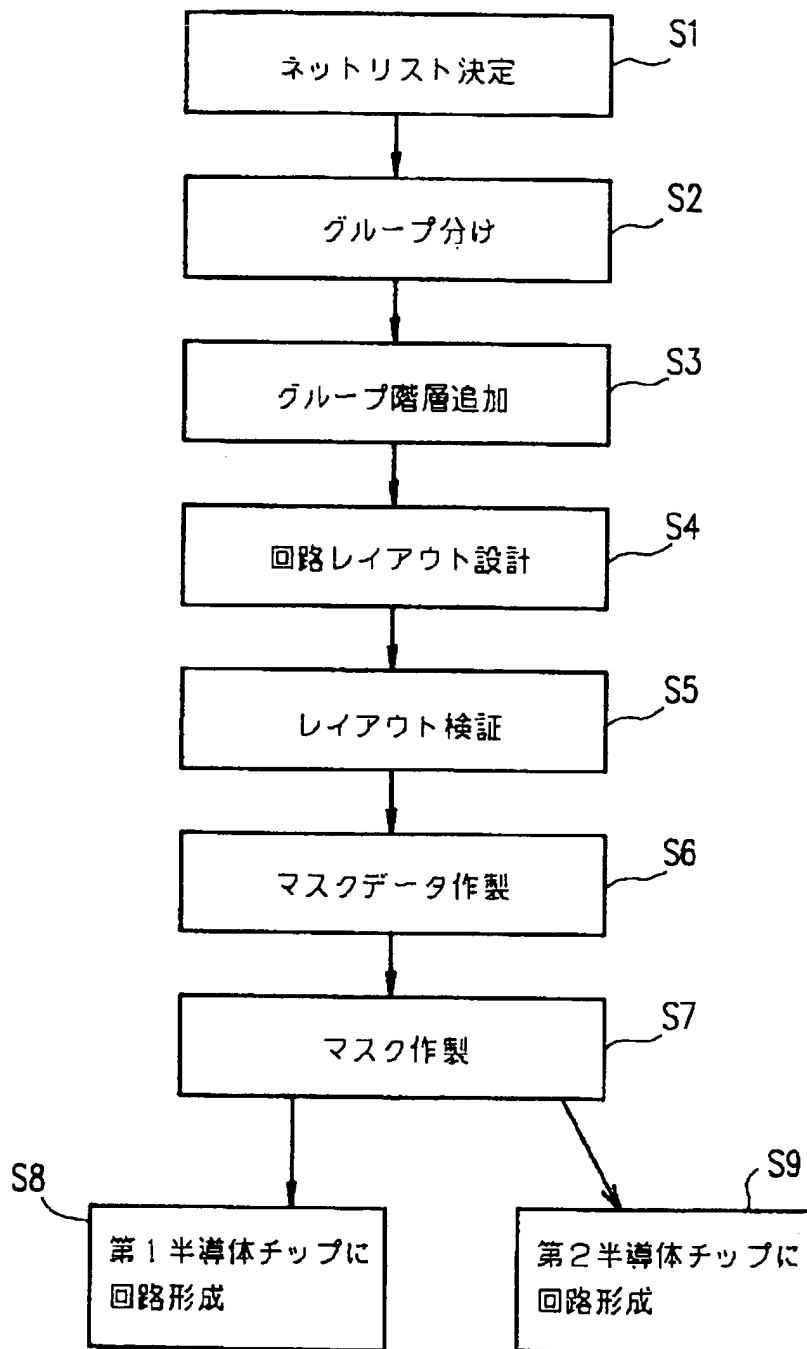
【図10】



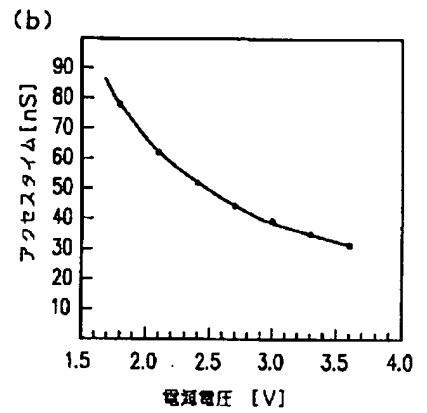
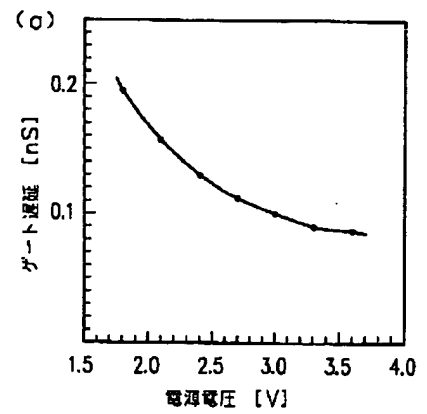
【図12】



【図8】

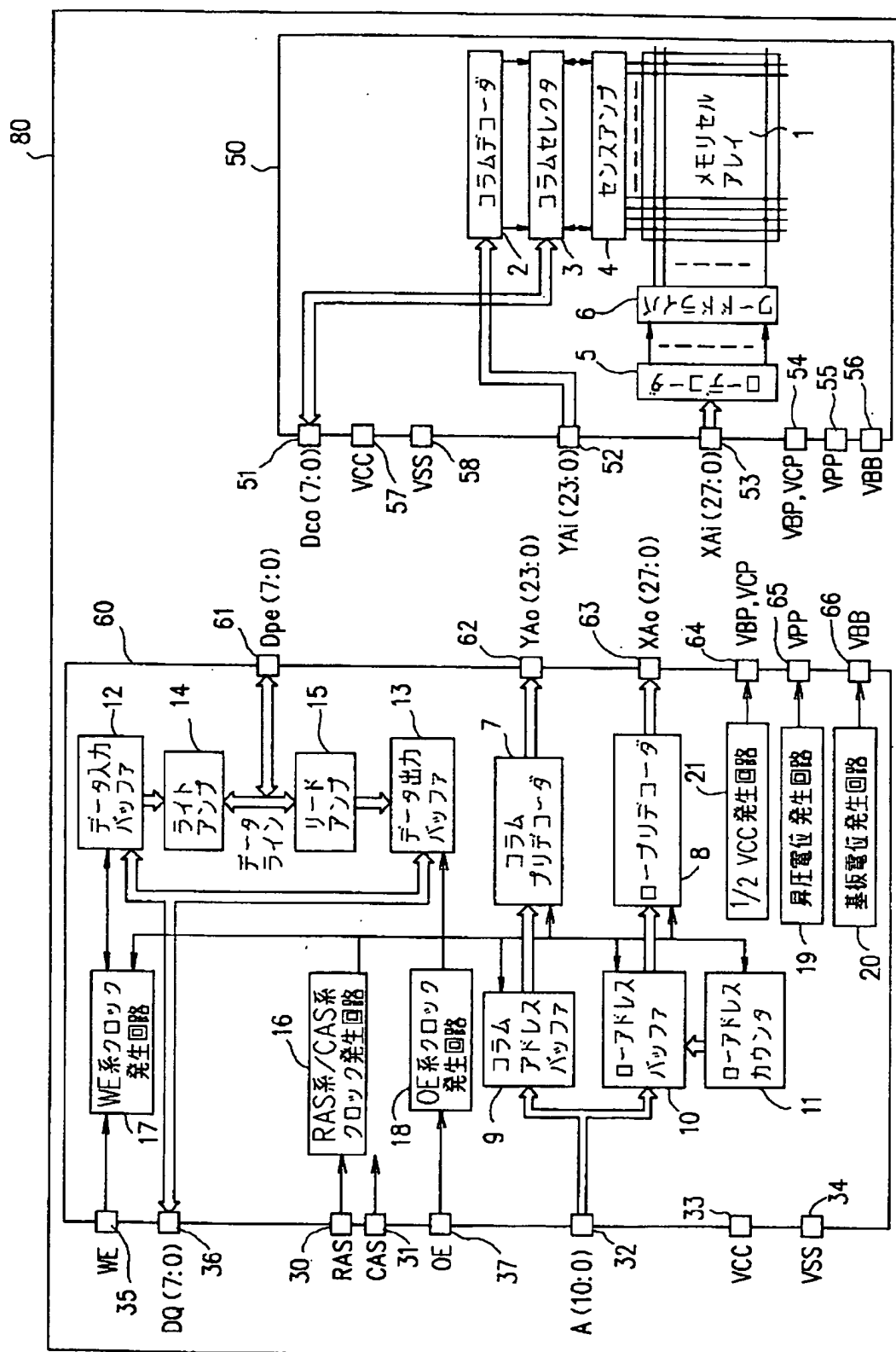


【図16】

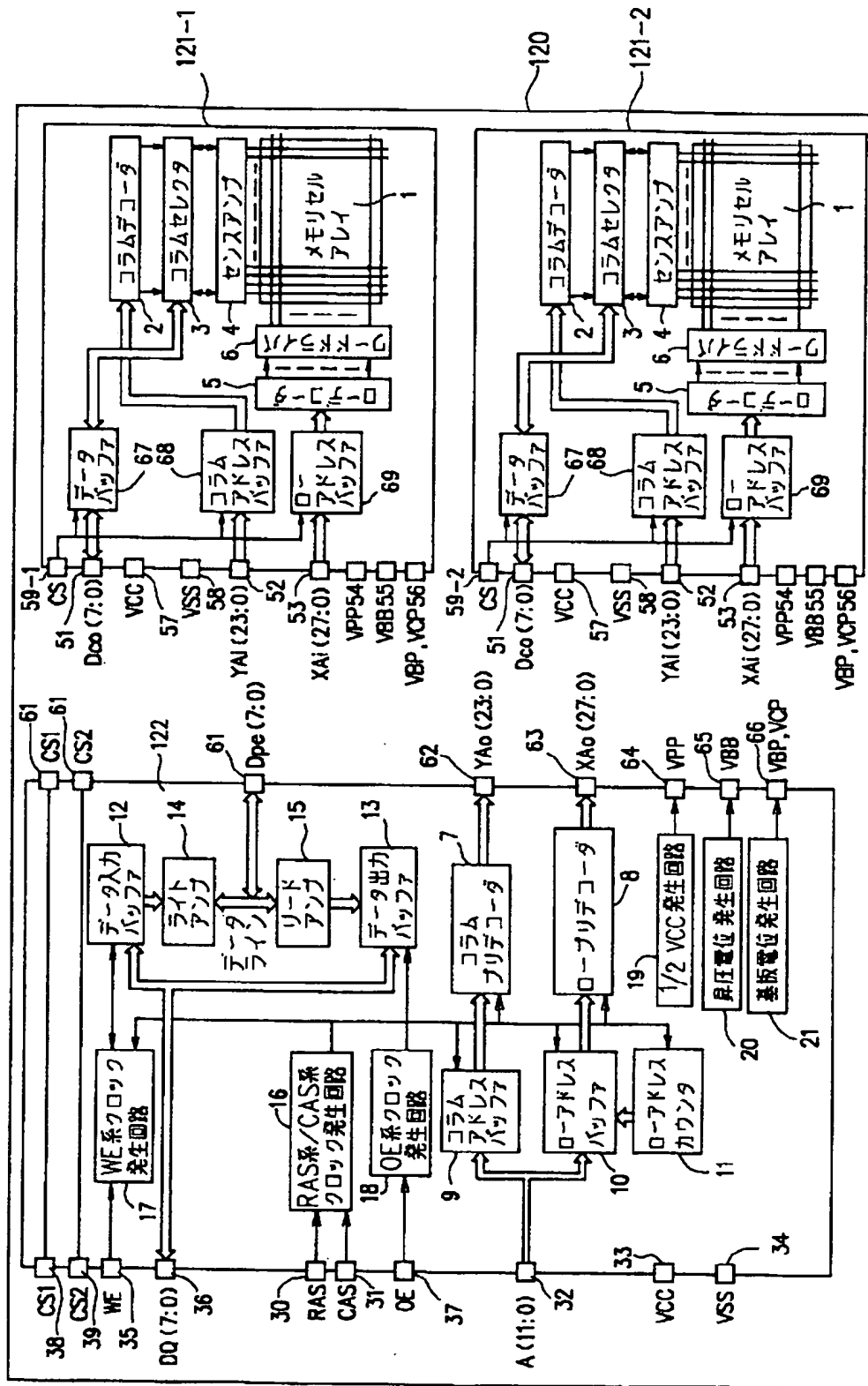




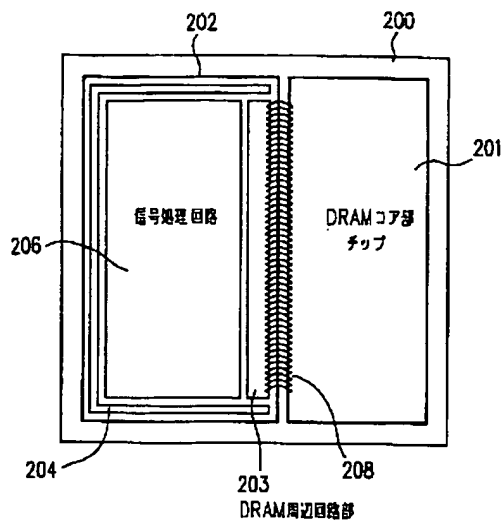
【図9】



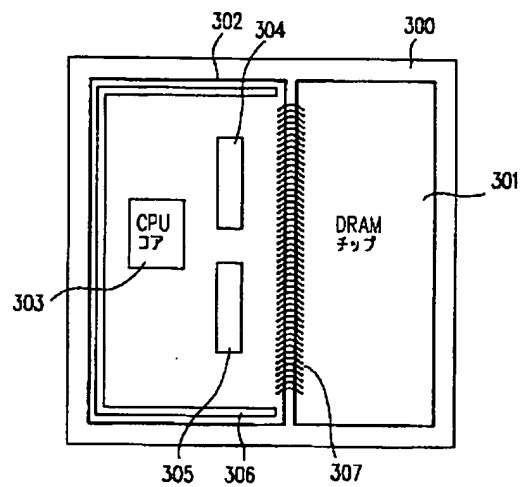
【図11】



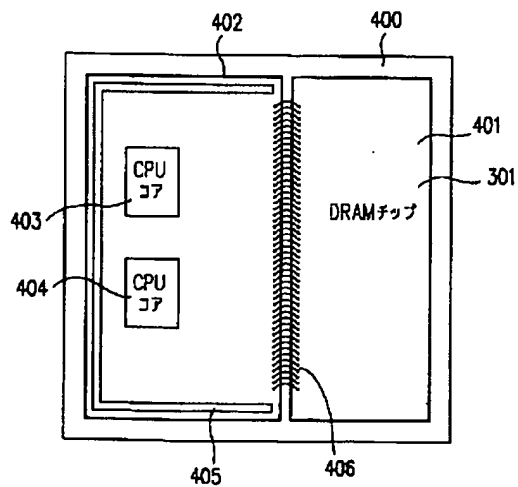
【図13】



【図14】



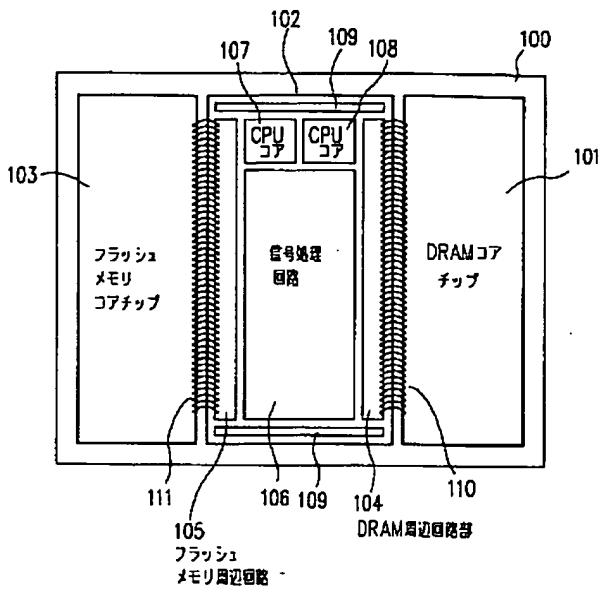
【図15】



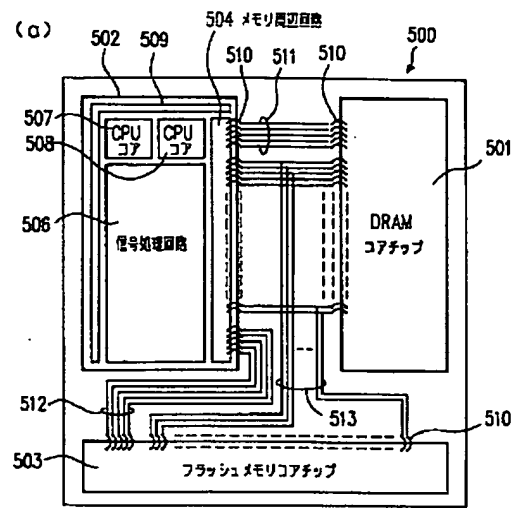
【図17】

	システム構成1	システム構成2	システム構成3
	ディスクリート	MCM 汎用チップ	本発明
電源電圧	3.3V (1.0)	3.3V (1.0)	1.9V (0.58)
消費電力	957mW (1.0)	937mW (0.98)	244mW (0.26)
実装面積	2,770mm <sup>2</sup> (1.0)	1,450mm <sup>2</sup> (0.52)	1,110mm <sup>2</sup> (0.40)
チップコスト	¥4,660 (1.0)	¥4,370 (0.98)	¥4,430 (1.20)
クロック	20MHz (1.0)	20MHz (1.0)	10MHz (0.5)
システムコスト	¥16,000 (1.00)	¥16,000 (1.00)	¥14,400 (0.9)
備考	* データバス幅 8b		* データバス幅 16b * 2パラレル処理

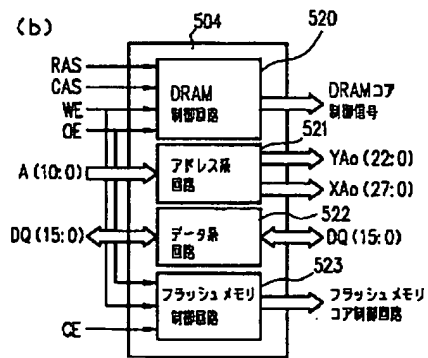
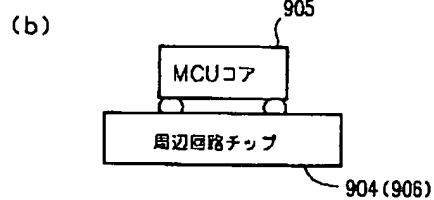
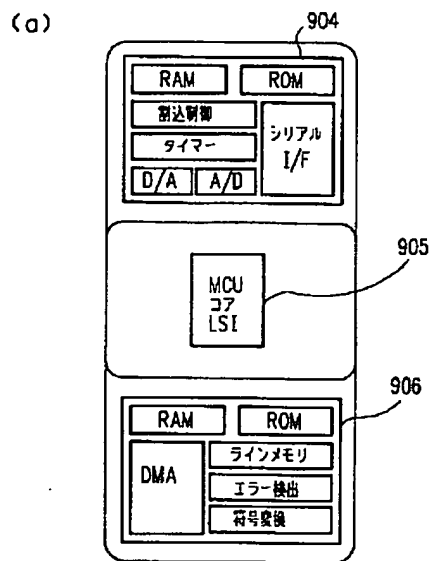
【図18】



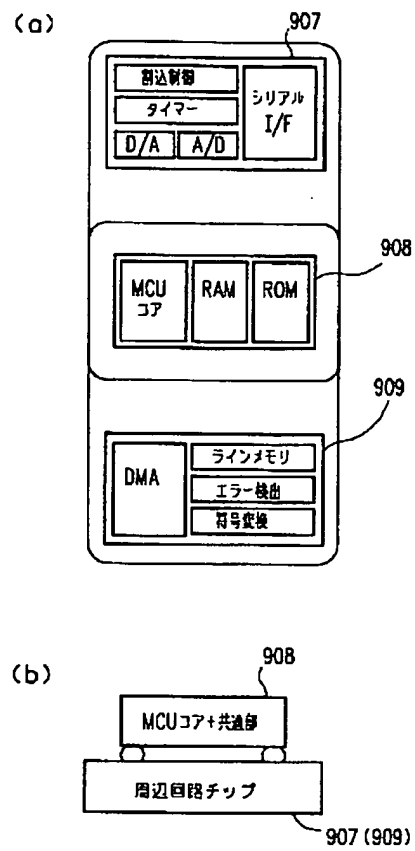
【図19】



【図21】



【図 2 2】



フロントページの続き

(51) Int. Cl. 6  
H 0 1 L 25/04  
25/18

識別記号 庁内整理番号 F I

技術表示箇所

H 0 1 L 25/04

Z

(72) 発明者 瀬川 礼二  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**